

【11】證書號數：I640065

【45】公告日：中華民國 107 (2018) 年 11 月 01 日

【51】Int. Cl.： H01L23/28 (2006.01)

發明

全 13 頁

【54】名稱：具有貫穿電極之半導體裝置、製造其之方法及包含其之半導體封裝、其電子系統及其記憶卡

SEMICONDUCTOR DEVICES HAVING THROUGH ELECTRODES,
SEMICONDUCTOR PACKAGES INCLUDING THE SAME, METHODS OF
MANUFACTURING THE SAME, ELECTRONIC SYSTEMS INCLUDING
THE SAME, AND MEMORY CARDS INCLUDING THE SAME

【21】申請案號：104108366

【22】申請日：中華民國 104 (2015) 年 03 月 16 日

【11】公開編號：201614780

【43】公開日期：中華民國 105 (2016) 年 04 月 16 日

【30】優先權：2014/10/06

南韓

10-2014-0134281

【72】發明人：崔亨碩 (KR) CHOI, HYEONG SEOK

【71】申請人：韓商愛思開海力士有限公司 SK HYNIX INC.

南韓

【74】代理人：陳長文

【56】參考文獻：

TW 201131697A1

TW 201336039A1

US 6018189A

US 2008/0303132A1

US 2009/0189293A1

審查人員：邱迺軒

【57】申請專利範圍

1. 一種半導體封裝，其包括：一第一半導體晶片，其包含：一第一基板，其具有彼此相對之一第一表面及一第二表面；複數個第一貫穿電極，其穿透該第一基板且彼此間隔開，該複數個第一貫穿電極包含交替安置的第一奇數貫穿電極及第一偶數貫穿電極；複數個第一前側凸塊，其安置於該第一基板之該第一表面上且連接至該等第一貫穿電極當中之該等第一奇數貫穿電極；及複數個第一背側凸塊，其安置於該第一基板之該第二表面上且連接至該等第一貫穿電極當中之該等第一偶數貫穿電極；及一第二半導體晶片，其包含：一第二基板，其具有彼此相對之一第一表面及一第二表面；複數個第二貫穿電極，其穿透該第二基板且彼此間隔開，該複數個第二貫穿電極包含交替安置的第二奇數貫穿電極及第二偶數貫穿電極；複數個第二前側凸塊，其安置於該第二基板之該第一表面上且連接至該等第二貫穿電極當中之該等第二奇數貫穿電極；及複數個第二背側凸塊，其安置於該第二基板之該第二表面上且連接至該等第二貫穿電極當中之該等第二偶數貫穿電極，其中該等第一及第二半導體晶片彼此組合以使得該第一基板之該第一表面面向該第二基板之該第二表面。
2. 如請求項 1 之半導體封裝，其中該等第二背側凸塊電連接至該等第二偶數貫穿電極；且其中該等第一前側凸塊電連接至該等第一奇數貫穿電極。
3. 如請求項 1 之半導體封裝，其中該等第一前側凸塊中之每一者包含依序堆疊於該等第一奇數貫穿電極中之一者上之一第一金屬層及一第一接觸金屬層，且其中該等第一背側凸塊中之每一者包含依序堆疊於該等第一偶數貫穿電極中之一者上之一第二金屬層及一第二接觸金屬層。

(2)

4. 如請求項 1 之半導體封裝，其中該等第二前側凸塊中之每一者包含依序堆疊於該等第二奇數貫穿電極中之一者上之一第三金屬層及一第三接觸金屬層，且其中該等第二背側凸塊中之每一者包含依序堆疊於該等第二偶數貫穿電極中之一者上之一第四金屬層及一第四接觸金屬層。
5. 如請求項 3 之半導體封裝，其中該等第一前側凸塊之該等第一接觸金屬層接觸該第二半導體晶片。
6. 如請求項 3 之半導體封裝，其中該等第一前側凸塊之該等第一接觸金屬層電連接至該等第二奇數貫穿電極。
7. 如請求項 4 之半導體封裝，其中該等第二背側凸塊之該等第四接觸金屬層接觸該第一半導體晶片。
8. 如請求項 4 之半導體封裝，其中該等第二背側凸塊之該等第四接觸金屬層電連接至該等第一偶數貫穿電極。
9. 如請求項 1 之半導體封裝，其中該第一半導體晶片進一步包含：一第一絕緣層，其安置於該第一基板之該第一表面上；及複數個導電接觸墊，其安置於該第一絕緣層中且與該等第一貫穿電極接觸，其中該第二半導體晶片進一步包含：一第二絕緣層，其安置於該第二基板之該第一表面上；及複數個導電接觸墊，其安置於該第二絕緣層中且與該等第二貫穿電極接觸，其中該等第一及第二基板之該等第一表面係毗鄰於在該等第一及第二基板中界定之作用區的該等第一及第二基板之前側表面，其中該等第一及第二基板之該等第二表面係該等第一及第二基板之背側表面，其中該等第一前側凸塊安置於該第一半導體晶片之該等接觸墊上，且其中該等第二前側凸塊安置於該第二半導體晶片之該等接觸墊上。
10. 如請求項 9 之半導體封裝，其中該第一半導體晶片之該等接觸墊包含連接至該等第一奇數貫穿電極之第一接觸墊及連接至該等第一偶數貫穿電極之第二接觸墊，且其中該第二半導體晶片之該等接觸墊包含電連接至該等第二奇數貫穿電極之第三接觸墊及電連接至該等第二偶數貫穿電極之第四接觸墊。
11. 如請求項 10 之半導體封裝，其中該等第一及第二半導體晶片中之每一者進一步包含安置於該等第一、第二、第三及第四接觸墊中之每一者上之第一擴散障壁圖案。
12. 如請求項 11 之半導體封裝，其中該等第一擴散障壁圖案中之每一者包含一鎳材料。
13. 如請求項 11 之半導體封裝，其中該等第二背側凸塊接觸該第一半導體晶片之該等第一擴散障壁圖案。
14. 如請求項 3 之半導體封裝，其中該等第一及第二半導體晶片中之每一者進一步包含安置於該第二表面上且覆蓋該等奇數貫穿電極之第二擴散障壁圖案。
15. 如請求項 14 之半導體封裝，其中該等第一前側凸塊之該等第一接觸金屬層接觸該第二半導體晶片之該等第二擴散障壁圖案。
16. 如請求項 13 之半導體封裝，其中該等第二擴散障壁圖案中之每一者包含一鎳材料。
17. 一種半導體封裝，其包括：一第一半導體晶片，其包含：一第一基板，其具有一第一表面及一第二表面，複數個第一貫穿電極，其穿透該第一基板且在該第一表面至該第二表面之間延伸，及複數個第一前側凸塊，其安置於該第一基板之該第一表面上且連接至該等第一貫穿電極當中之第一奇數貫穿電極；及一第二半導體晶片，其包含：一第二基板，其具有一第一表面及一第二表面，複數個第二貫穿電極，其穿透該第一基板且在該第一表面與該第二表面之間延伸，及複數個第二前側凸塊，其安置於該第二基板之該第一表面上且連接至該等第二貫穿電極當中之第二偶數貫穿電極，其中該等第一及第二半導體晶片彼此組合以使得該第一基板之該第一表面面向該第二基板之該第一表面。

(4)

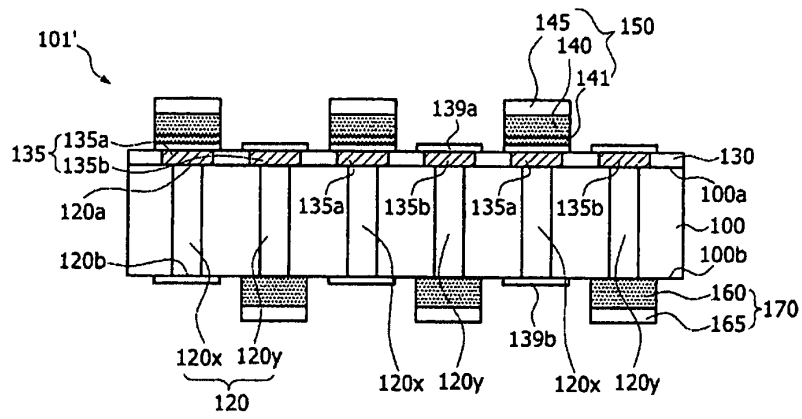


圖 2

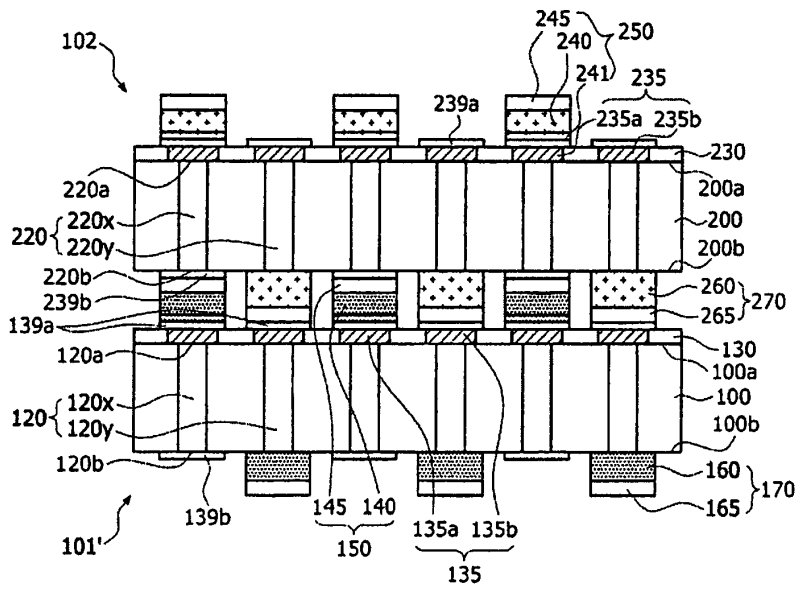


圖 3

(5)

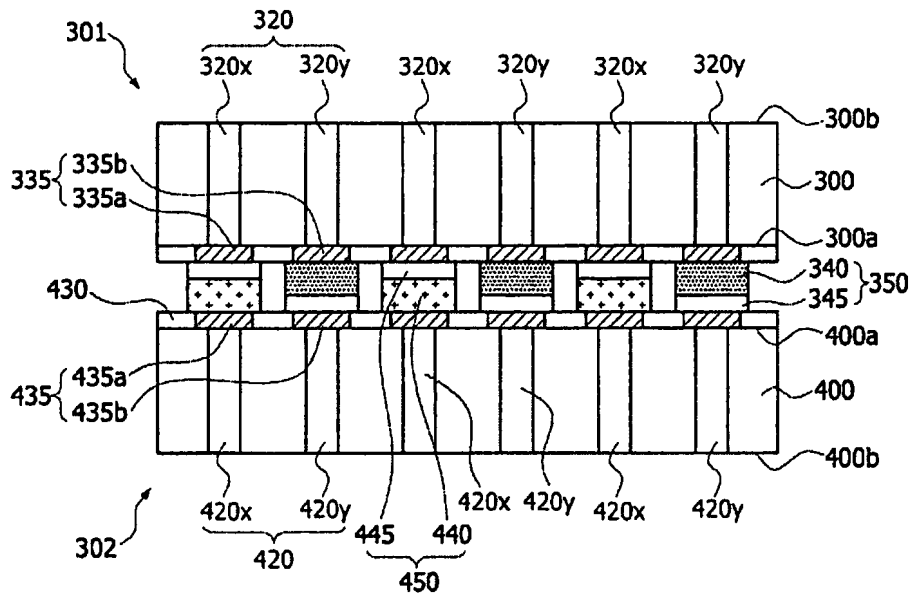


圖 4

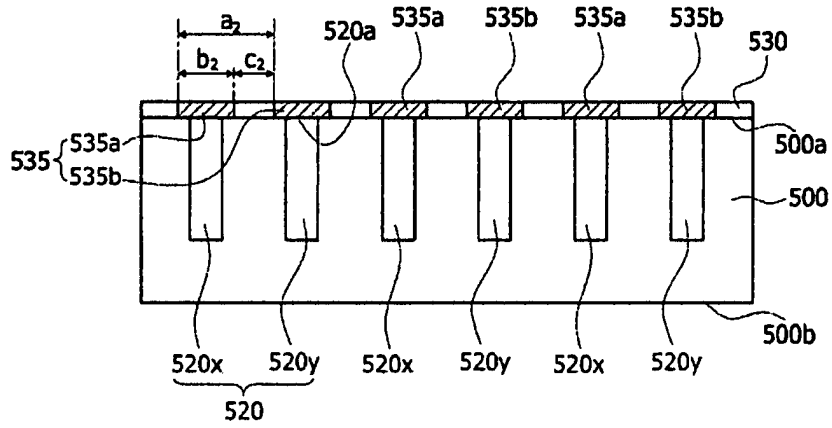


圖 5

(6)

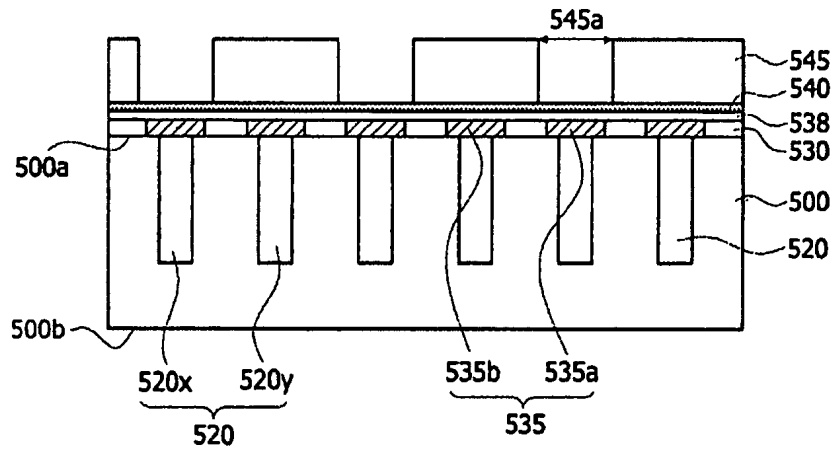


圖 6

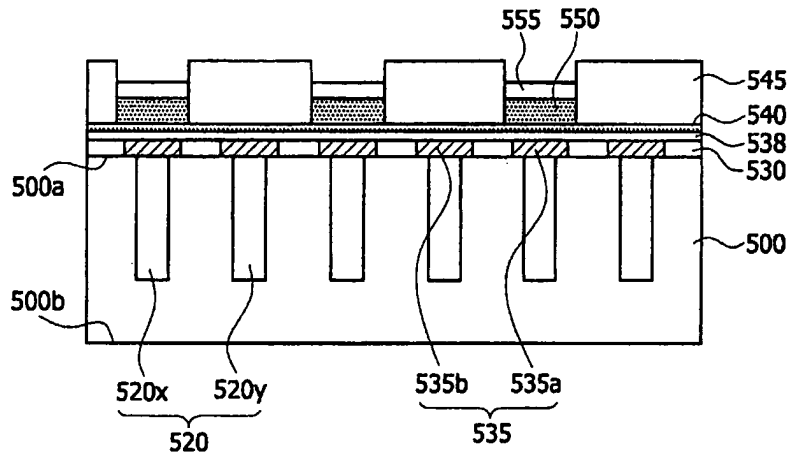


圖 7

(7)

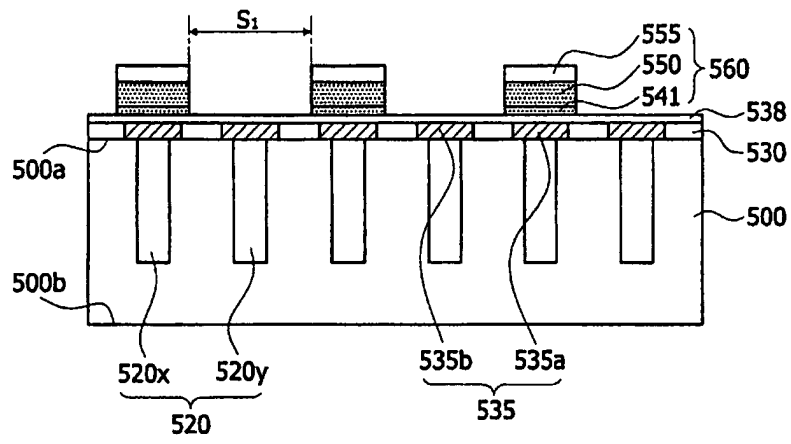


圖 8

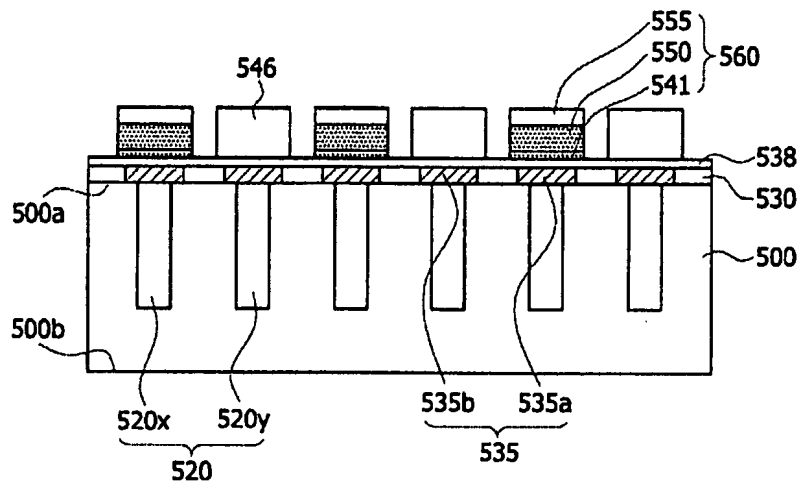


圖 9

(8)

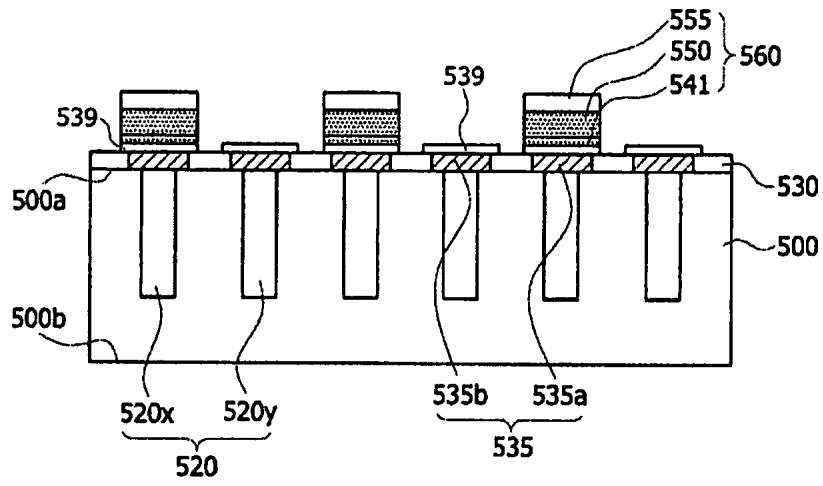


圖 10



圖 11

(9)

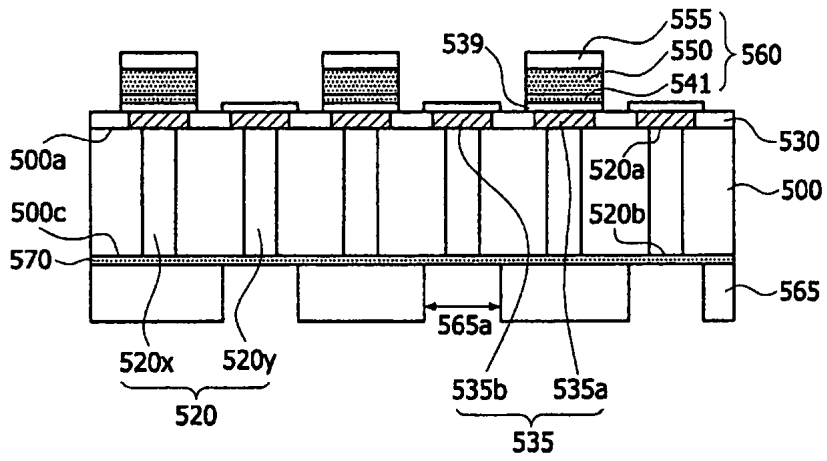


圖 12

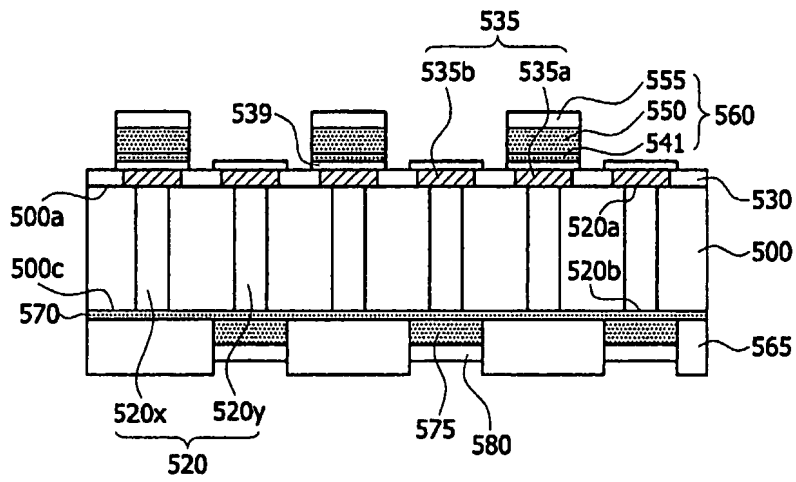


圖 13

(10)

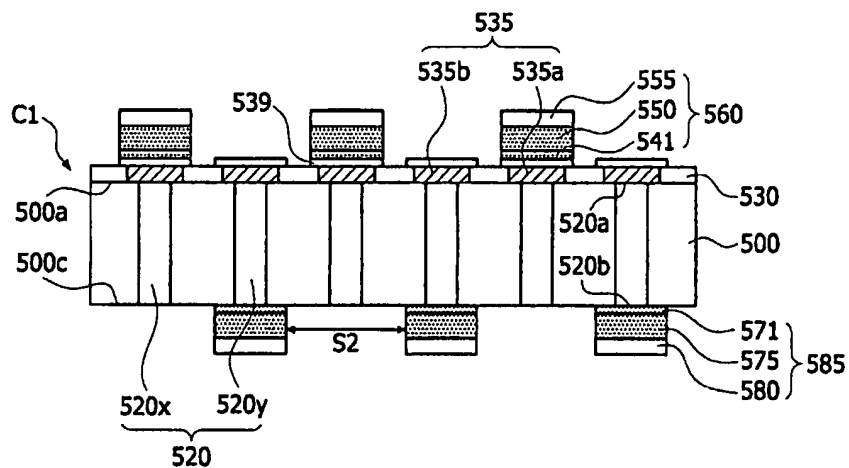


圖 14

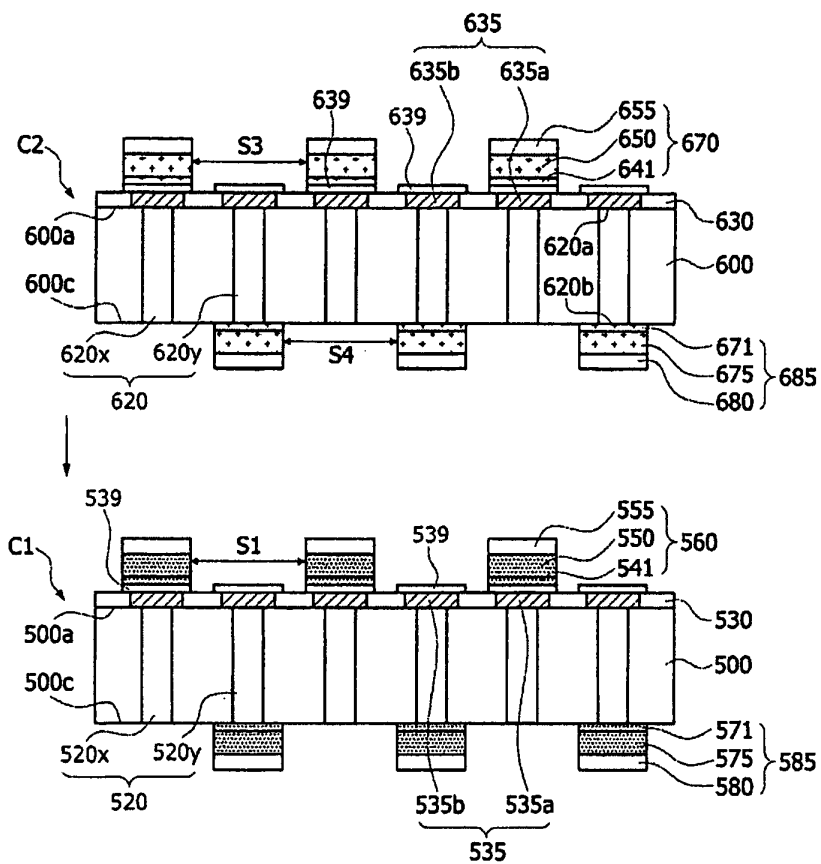


圖 15

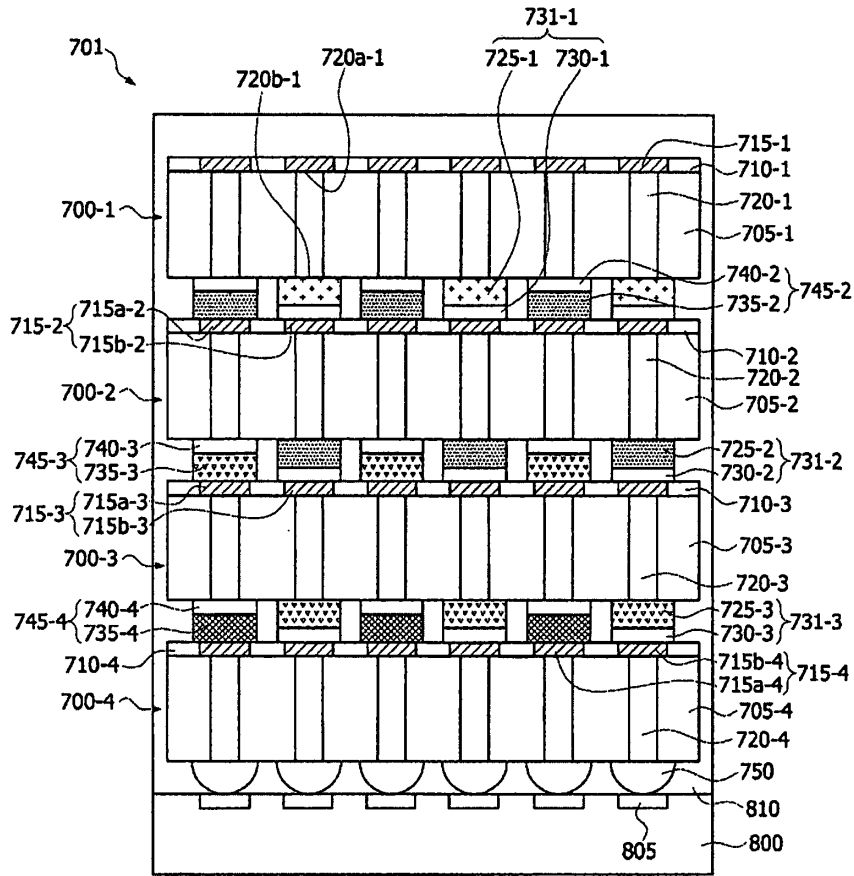


圖 17

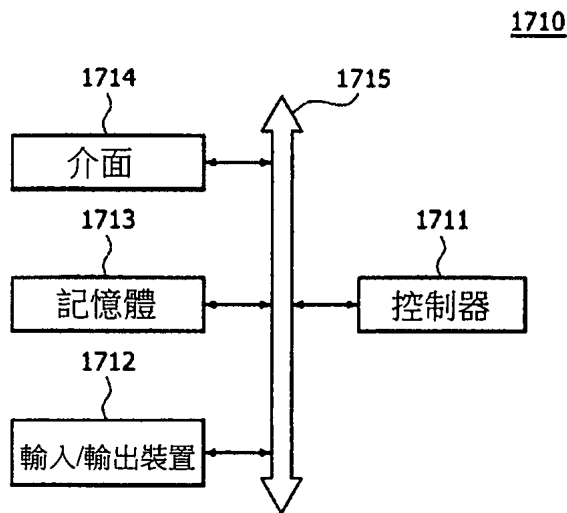


圖 18

(13)

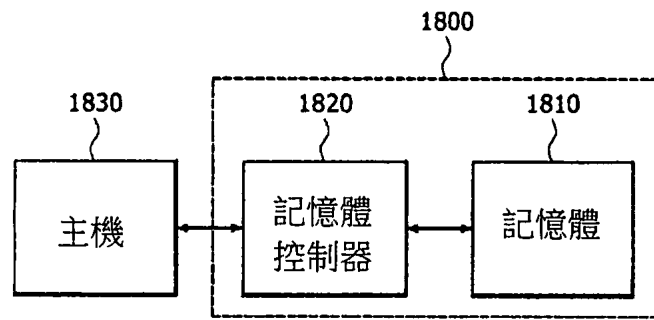


圖 19