

【11】證書號數：I662658

【45】公告日：中華民國 108 (2019) 年 06 月 11 日

【51】Int. Cl. : H01L23/12 (2006.01) H01L23/28 (2006.01)  
H01L21/56 (2006.01)

發明

全 7 頁

【54】名稱：積體電路封裝基板、半導體封裝體及半導體封裝體的製造方法  
INTEGRATED CIRCUIT PACKAGING SUBSTRATE, SEMICONDUCTOR  
PACKAGE AND MANUFACTURING METHOD THEREOF

【21】申請案號：104138980

【22】申請日：中華民國 104 (2015) 年 11 月 24 日

【11】公開編號：201630127

【43】公開日期：中華民國 105 (2016) 年 08 月 16 日

【30】優先權：2015/02/13

美國

14/622,529

【72】發明人：林育蔚 (TW) LIN, YU WEI；陳承先 (TW) CHEN, CHEN SHIEN；陳冠宇 (TW)  
CHEN, GUANYU；郭庭豪 (TW) KUO, TIN HAO；林彥良 (TW) LIN, YEN  
LIANG【71】申請人：台灣積體電路製造股份有限公司 TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD.

新竹市新竹科學工業園區力行六路 8 號

【74】代理人：李世章；秦建譜

【56】參考文獻：

TW 201011879A

TW 201227901A

US 2009/0045508A1

US 2011/0133334A1

US 2011/0248399A1

US 2012/0018904A1

審查人員：劉聖尉

## 【57】申請專利範圍

1. 一種積體電路(IC)封裝基板，包含：一本體；至少一第一導線，嵌入該本體中；至少一第二導線，嵌入該本體中；以及至少一凸出焊墊，設置在該第一導線上，其中該凸出焊墊自該本體凸出，且該凸出焊墊配置來與一半導體晶片之一焊料部電性接觸，且根據該凸出焊墊之一製程偏差，藉由該凸出焊墊之一寬度及該第一導線之一寬度決定該凸出焊墊與該第二導線之間的第一間隔，該等第一導線中的至少兩者之間的一間距 P 及該第二導線與該等第一導線其中之一之間的一第二間隔 D 實質上滿足以下不等式： $D > P/4$ ；以及  $0 < A/B < 0.75$ ，其中 A 為該凸出焊墊之該寬度，且 B 為該等第一導線之各者之該寬度。
2. 一種積體電路(IC)封裝基板，包含：一本體；至少一第一導線，嵌入該本體中；至少一第二導線，嵌入該本體中；以及至少一凸出焊墊，設置在該第一導線上，其中該凸出焊墊自該本體凸出，且該凸出焊墊配置來與一半導體晶片之一焊料部電性接觸，且根據該凸出焊墊之一製程偏差，藉由該凸出焊墊之一寬度及該第一導線之一寬度決定該凸出焊墊與該第二導線之間的第一間隔，該等第一導線中的至少兩者之間的一間距 P 及該第二導線與該等第一導線其中之一之間的一第二間隔 D 實質上滿足以下不等式： $10\mu\text{m} < D < P/4$ ；以及  $0 < A/B < 0.45$ ，其中 A 為該凸出焊墊之該寬度，且 B 為該等第一導線之各者之該寬度。
3. 如請求項 1 或 2 所述之 IC 封裝基板，其中該第二導線之一寬度小於或實質上等於該第一導線之該寬度。

(2)

4. 如請求項 1 或 2 所述之 IC 封裝基板，其中該第二導線與該第一導線之間的一第二間隔小於或實質上等於該第一導線之該寬度。
5. 一種半導體封裝體，包含：一積體電路(IC)封裝基板，該 IC 封裝基板包含：一本體；至少一第一導線，嵌入該本體中；至少一第二導線，嵌入該本體中；以及至少一凸出焊墊，自該本體凸出，其中該凸出焊墊在該本體上之一垂直投影的至少一部分與該第一導線在該本體上之一垂直投影重疊；以及一半導體晶片，接合至該 IC 封裝基板且具有一焊料部，該焊料部直接接觸該第一導線與該凸出焊墊，其中該凸出焊墊之一寬度及該第一導線之一寬度被決定以形成該凸出焊墊與該第二導線之間的一第一間隔。
6. 如請求項 5 所述之半導體封裝體，其中該等第一導線中的至少兩者之間的一間距 P 及該第二導線與該等第一導線其中之一之間的一第二間隔 D 實質上滿足以下不等式： $D \geq P/4$ ；以及  $0 < A/B \leq 0.75$ ，其中 A 為該凸出焊墊之該寬度，且 B 為該等第一導線之各者之該寬度。
7. 如請求項 5 所述之半導體封裝體，其中該等第一導線中的至少兩者之間的一間距 P 及該第二導線與該等第一導線其中之一之間的一第二間隔 D 實質上滿足以下不等式： $10\mu\text{m} \leq D < P/4$ ；以及  $0 < A/B \leq 0.45$ ，其中 A 為該凸出焊墊之該寬度，且 B 為該等第一導線之各者之該寬度。
8. 一種半導體封裝體之製造方法，包含：根據一凸出焊墊之一製程偏差，藉由該凸出焊墊之一寬度及該第一導線之一寬度決定該半導體封裝體之一積體電路(IC)封裝基板之至少一第一導線上的該凸出焊墊與該 IC 封裝基板之一第二導線之間的一第一間隔；在該 IC 封裝基板之一本體上形成該第一導線與該第二導線及該凸出焊墊；以及將該半導體封裝體之一半導體晶片接合至該 IC 封裝基板，使得該半導體晶片之一焊料部直接接觸該第一導線與該 IC 封裝基板之該凸出焊墊。
9. 如請求項 8 所述之半導體封裝體之製造方法，進一步包含：量測該等第一導線中的至少兩者之間的一間距 P 及該第二導線與該等第一導線其中之一之間的一第二間隔 D；以及判斷該間距 P 及該第二間隔 D 實質上滿足以下不等式中的一者： $D \geq P/4$  或  $10\mu\text{m} \leq D < P/4$ 。

#### 圖式簡單說明

當結合所附圖式閱讀時，以下詳細描述將較容易理解本揭露之態樣。應注意，根據工業中的標準實務，各特徵並非按比例繪製。事實上，出於論述清晰之目的，可任意增加或減小各特徵之尺寸。

第 1 圖繪示根據本揭露之一些實施方式之積體電路(IC)封裝基板之剖面圖。

第 2 圖繪示具有第 1 圖中所示之 IC 封裝基板的半導體封裝體之剖面圖。

第 3 圖繪示根據本揭露之一些實施方式之 IC 封裝基板之剖面圖。

第 4 圖繪示具有第 3 圖中所示之 IC 封裝基板的半導體封裝體之剖面圖。

第 5 圖繪示根據本揭露之一些實施方式之 IC 封裝基板之剖面圖。

第 6 圖繪示具有第 5 圖中所示之 IC 封裝基板的半導體封裝體之剖面圖。

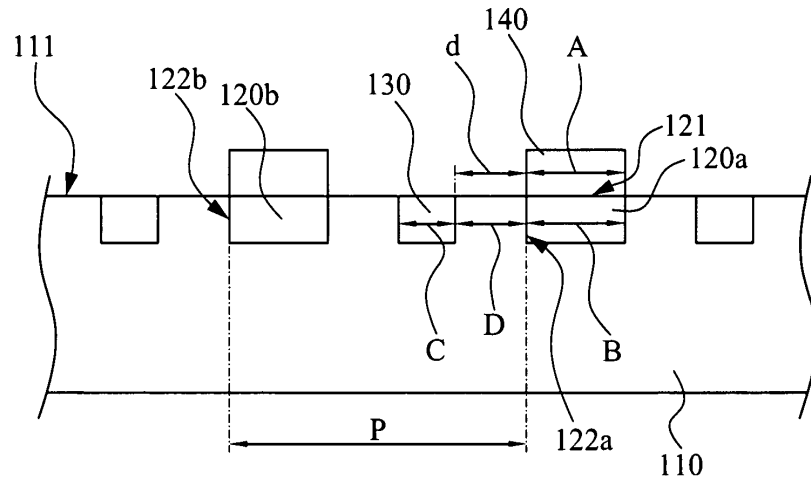
第 7 圖繪示根據本揭露之一些實施方式之 IC 封裝基板之剖面圖。

第 8 圖繪示具有第 7 圖中所示之 IC 封裝基板的半導體封裝體之剖面圖。

第 9 圖繪示根據本揭露之一些實施方式之半導體封裝體之製造方法之流程圖。

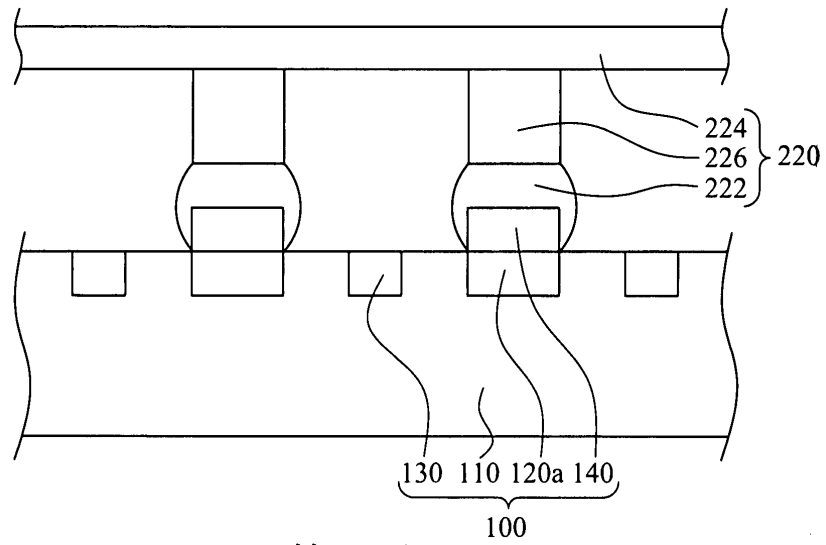
(3)

100



第 1 圖

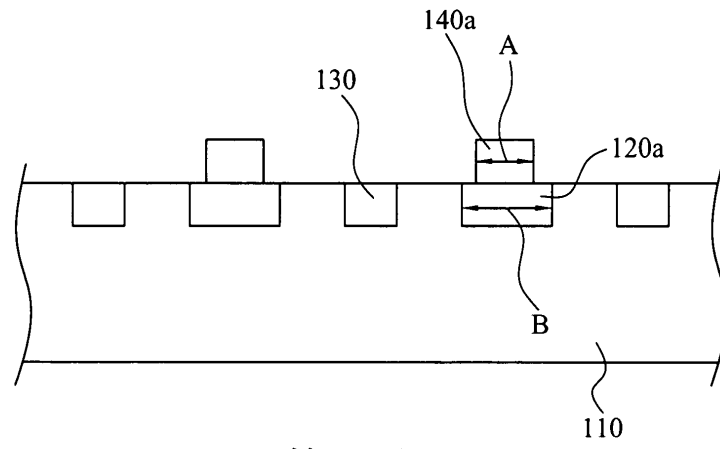
200



第 2 圖

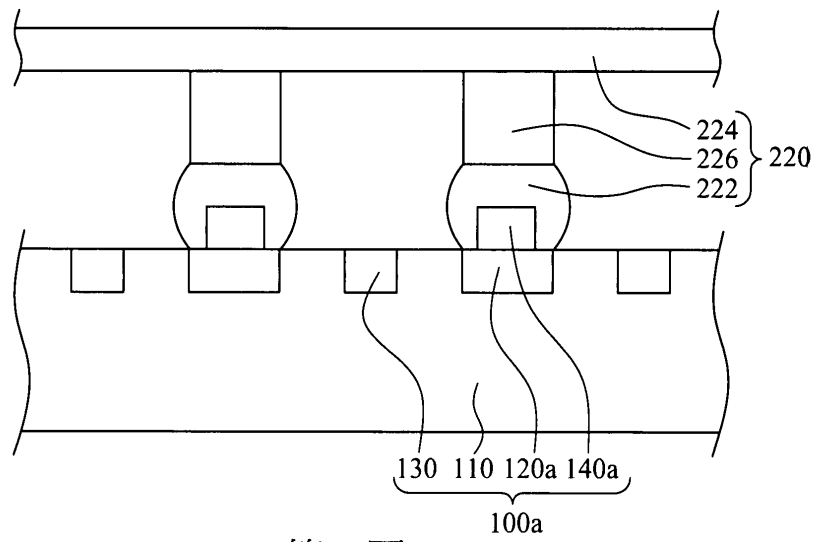
(4)

100a



第 3 圖

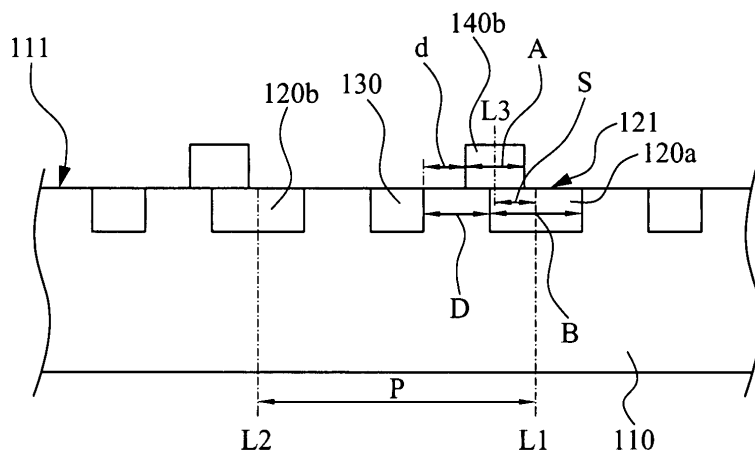
200a



第 4 圖

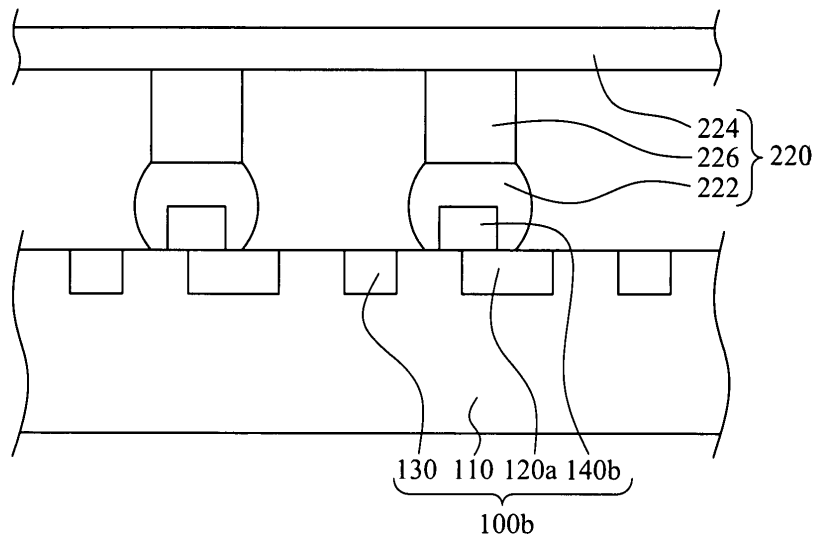
(5)

100b



第 5 圖

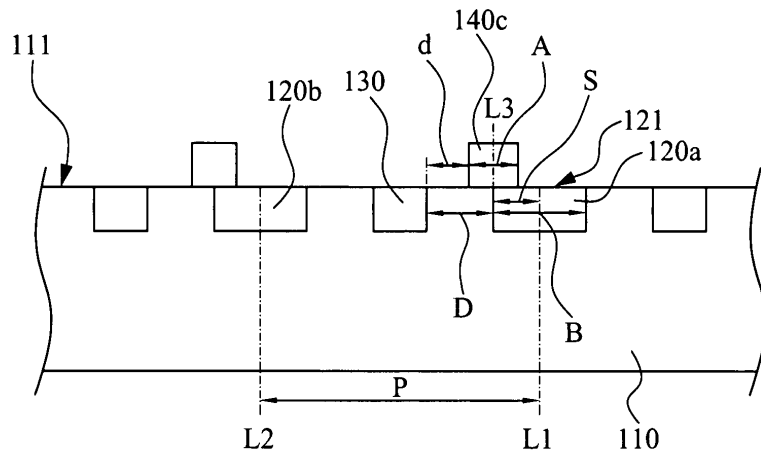
200b



第 6 圖

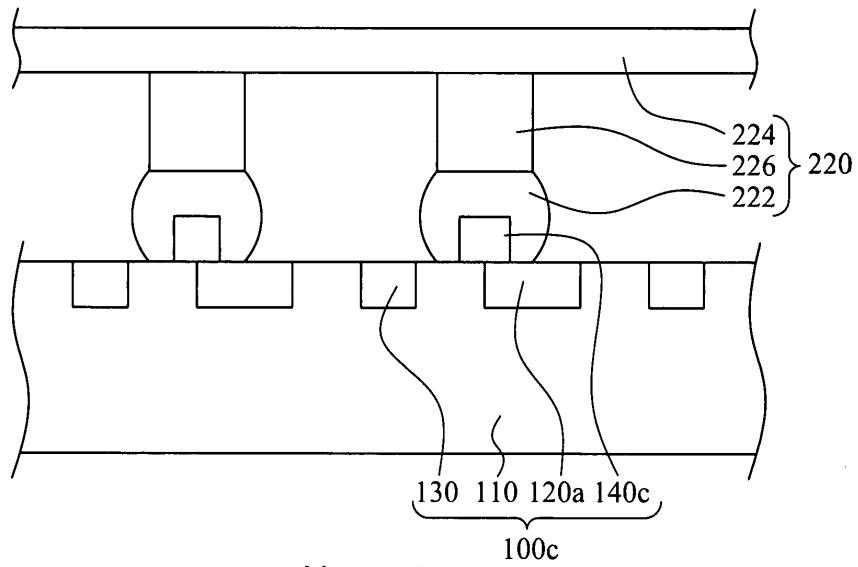
(6)

100c



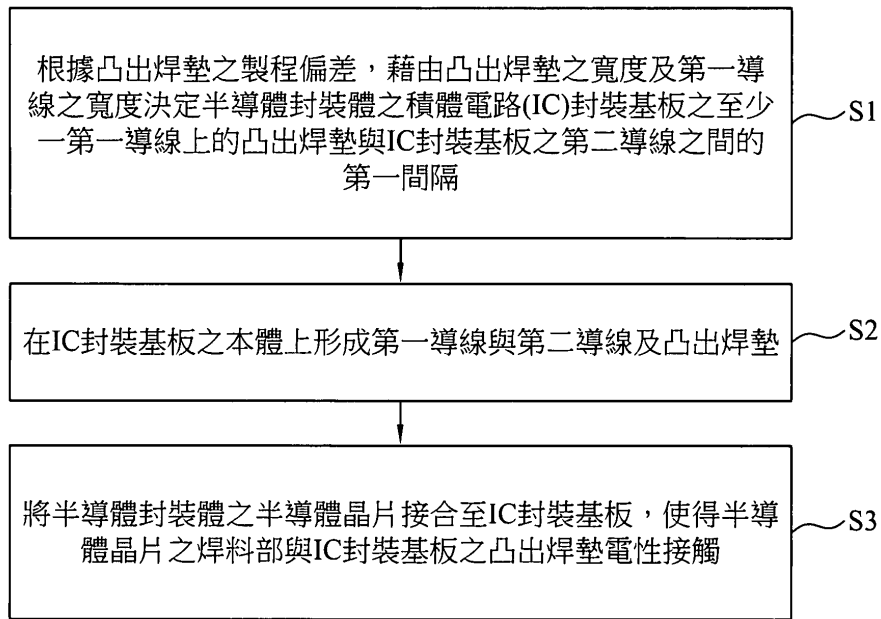
第 7 圖

200c



第 8 圖

(7)



第 9 圖