

【11】證書號數：I663882

【45】公告日：中華民國 108 (2019) 年 06 月 21 日

【51】Int. Cl. : *H04R19/00 (2006.01)* *H04R31/00 (2006.01)*
 H04R1/38 (2006.01) *H04R19/04 (2006.01)*

發明

全 24 頁

【54】名稱：製造微機電系統傳感器晶片尺度封裝之方法

METHOD OF FABRICATING A MEMS TRANSDUCER CHIP SCALE PACKAGE

【21】申請案號：104143143

【22】申請日：中華民國 104 (2015) 年 12 月 22 日

【11】公開編號：201635809

【43】公開日期：中華民國 105 (2016) 年 10 月 01 日

【30】優先權：2014/12/23

美國

62/096,445

【72】發明人：宏可斯特拉 德斯伊爾克 (NL) HOEKSTRA, TSJERK；派丁 大衛 太馬奇 (US) PATTEN, DAVID TALMAGE

【71】申請人：英國商席瑞斯邏輯國際半導體有限公司
SEMICONDUCTOR LTD.
英國

【74】代理人：李耀馨

【56】參考文獻：

TW 200740687A

TW 201436586A

US 5357807

US 7972888B1

US 7998776B1

US 2006/0169049A1

US 2008/0247585A1

US 2013/0156235A1

US 2013/0307375A1

US 2014/0197501A1

US 2014/0361388A1

WO 2010/092399A2

審查人員：劉聖尉

【57】申請專利範圍

1. 一種製造微機電系統(MEMS)傳感器晶片尺度封裝之方法，其包含；提供(101)一前側預製半導體晶粒晶圓(1)，其中該半導體晶粒晶圓(1)包含複數個別晶粒，且每一該晶粒包含至少一 MEMS 傳感器；及背面蝕刻(104)該半導體晶粒晶圓(1)，其中該背面蝕刻(104)包含：在該半導體晶粒晶圓(1)之背側(4)處進行以下操作：穿過該複數晶粒之每一各別晶粒蝕刻一聲學晶粒通道(5)且將一晶粒背面體積(6)蝕刻至該複數個晶粒中之每一各別晶粒中；其中，該聲學晶粒通道(5)與該晶粒背面體積(6)分離；其中背面蝕刻(104)該半導體晶粒晶圓(1)進一步包含：在該半導體晶粒晶圓(1)之該背側(4)處進行以下操作：以一第一深度(7)半導體蝕刻具有一第一聲學晶粒通道截面(8)之該聲學晶粒通道(5)及具有一第一晶粒背面體積截面(9)之一晶粒背面體積(6)；以一第二深度(10)半導體蝕刻具有一第二聲學晶粒通道截面(11)之該聲學晶粒通道(5)及具有一第二晶粒背面體積截面(12)之該晶粒背面體積(6)；及以一第三深度(13)介電蝕刻具有一第三聲學晶粒通道截面(14)之該聲學晶粒通道(5)及具有一第三晶粒背面體積截面(15)之該晶粒背面體積(6)。
2. 如申請專利範圍第 1 項所述之方法，其中：第一深度(7)及第二深度(10)之總和橫跨該半導體晶粒晶圓(1)之一半導體部分之一厚度；該第一聲學晶粒通道截面(8)、該第二聲學晶粒通道截面(11)及第三聲學晶粒通道截面(14)相同；且該第一晶粒背面體積截面(9)及該第三晶粒背面體積截面(15)對應於一傳感器元件之一截面。

(2)

3. 如申請專利範圍第 1 項所述之方法，其中：第一深度(7)及第二深度(10)之一總和橫跨該半導體晶粒晶圓(1)之一半導體部分之一厚度，且該第二深度(10)等於該第一聲學晶粒通道截面(8)；該第一聲學晶粒通道截面(8)及該第三聲學晶粒通道截面(14)相同；該第二聲學晶粒通道截面(11)使得該第二聲學晶粒通道截面延伸至該半導體晶粒晶圓(1)之一側面以形成一側面埠；且其中該第一晶粒背面體積截面(9)及該第三晶粒背面體積截面(15)對應於一傳感器元件之一截面。
4. 如申請專利範圍第 1 項所述之方法，其進一步包含在背面蝕刻(104)該半導體晶粒晶圓(1)之前背面研磨(103)該半導體晶粒晶圓(1)。
5. 如申請專利範圍第 1 項所述之方法，其進一步包含在背面蝕刻(104)及背面研磨(103)該半導體晶粒晶圓(1)之前將一保護層(2)施加(102)至該半導體晶粒晶圓(1)之前側(3)。
6. 如申請專利範圍第 1 項所述之方法，其進一步包含：在該半導體晶粒之正面上進行以下操作：於該複數個別晶粒之每一晶粒上形成一密封結構(106)，其中，當一已完成之 MEMS 傳感器封裝於使用期間被放置於一主機基板上時，該密封結構提供至少一部分之一聲學密封結構；及於該複數個別晶粒之每一晶粒上形成一凸塊結構(107)，其中該凸塊結構提供一已完成之 MEMS 傳感器封裝於使用期間被連接至一主機基板之連接凸塊。
7. 如申請專利範圍第 1 項所述之方法，其進一步包含提供(105)一前側預製半導體頂蓋晶圓(16)；及晶圓結合(108)該半導體晶粒晶圓(1)與該前側預製半導體頂蓋晶圓(16)，藉此構成一 MEMS 傳感器晶圓(31)。
8. 如申請專利範圍第 7 項所述之方法，其進一步包含：背面研磨(109)該半導體頂蓋晶圓(16)。
9. 如申請專利範圍第 7 項或第 8 項所述之方法，其進一步包含：移除該半導體晶粒晶圓(1)之一犧牲層。
10. 如申請專利範圍第 7 項所述之方法，其進一步包含：將晶粒附接薄膜或附接帶施加(111)至該 MEMS 傳感器晶圓；及單體化(112)該 MEMS 傳感器晶圓。
11. 如申請專利範圍第 10 項所述之方法，其進一步包含：自該 MEMS 傳感器晶圓提取(113)傳感器。
12. 如申請專利範圍第 7 項所述之方法，其中提供(105)該前側預製半導體頂蓋晶圓(16)包含：提供一半導體頂蓋晶圓(16)；及在該半導體頂蓋晶圓(16)之一前側(17)處進行以下操作：A)以一第一深度(18)蝕刻具有一第一截面(20)之一聲學頂蓋通道(19)；及/或 B)以一第二深度(21)蝕刻具有一第二截面(22)之該聲學頂蓋通道(19)；及/或 C)以一第三深度(23)蝕刻具有一第一截面(25)之一頂蓋背面體積(24)；及/或 D)以一第四深度(26)蝕刻具有一第二截面(27)之一頂蓋背面體積(24)。
13. 如申請專利範圍第 12 項所述之方法，其中步驟 A 經執行且其中該聲學頂蓋通道(19)之該第一深度(18)使得僅一研磨層(28)保留在該聲學頂蓋通道(19)之一底部(29)處，且其中該聲學頂蓋通道(19)之該第一截面(20)與該聲學晶粒通道(5)之一第三截面(14)對應。
14. 如申請專利範圍第 12 項所述之方法，其中步驟 A 經執行且其中該聲學頂蓋通道(19)之該第一深度(18)與該聲學晶粒通道(5)之一第三截面(14)對應，且其中該聲學頂蓋通道(19)之該第一截面(20)使得該聲學頂蓋通道(19)延伸至該半導體頂蓋晶圓(16)之一側面以形成一側面埠。
15. 如申請專利範圍第 12 項所述之方法，其中步驟 C 經執行且其中該頂蓋背面體積(24)之該第三深度(23)的範圍為該半導體頂蓋晶圓(16)之一厚度的 1/5 至 4/5，且其中該頂蓋背面體積(24)之該第一截面(25)至少等於或大於該晶粒背面體積(6)之一第三截面(15)。

16. 如申請專利範圍第 12 項所述之方法，其中步驟 A 經執行，其後接著同時執行步驟 B 及 C，且其中：在步驟 A 中，該聲學頂蓋通道(19)之該第一深度(18)判定該聲學頂蓋通道(19)與該頂蓋背面體積(24)之一深度差(30)，且該聲學頂蓋通道(19)之該第一截面(20)與該聲學頂蓋通道(19)之該第二截面(22)對應；且在步驟 B 中，該聲學頂蓋通道(19)之該第二深度(21)使得僅一研磨層(28)保留在該聲學頂蓋通道(19)之一底部處，且該聲學頂蓋通道(19)之該第二截面(22)與該聲學晶粒通道(5)之一第三截面(14)對應；且在步驟 C 中，該頂蓋背面體積(24)之該第三深度(23)與該聲學頂蓋通道(19)之該第二深度(21)相同，且該頂蓋背面體積(24)之該第一截面(25)至少等於或大於該晶粒背面體積(6)之該第三截面(15)。
17. 如申請專利範圍第 12 項所述之方法，其中步驟 C 經執行，其後接著同時執行步驟 A 及 D，且其中：在步驟 C 中，該頂蓋背面體積(24)之該第三深度(23)判定該頂蓋背面體積(24)與該聲學頂蓋通道(19)之一深度差(41)，且該頂蓋背面體積(24)之該第一截面(25)至少等於或大於該頂蓋背面體積(24)之該第二截面(27)；且在步驟 A 中，該聲學頂蓋通道(19)之該第一深度(18)與該聲學晶粒通道(5)之一第三截面(14)對應，且該聲學頂蓋通道(19)之該第一截面(20)使得該聲學頂蓋通道(19)延伸至該半導體頂蓋晶圓(16)之一側面；且在步驟 D 中，該頂蓋背面體積(24)之該第四深度(26)與該聲學頂蓋通道(19)之該第一深度(18)相同，且該頂蓋背面體積(24)之該第二截面(27)至少等於或大於該晶粒背面體積(6)之一第三截面(15)。
18. 如申請專利範圍第 12 項所述之方法，其中該聲學頂蓋通道(19)及該頂蓋背面體積(24)之該蝕刻遵循對應於用以蝕刻該半導體晶粒晶圓(1)之該聲學晶粒通道(5)及該晶粒背面體積(6)之一聲學佈局的一聲學佈局。
19. 如申請專利範圍第 8 項所述之方法，其中形成一密封結構(106)及形成一凸塊結構(107)之步驟係在晶圓結合(108)之步驟之後且在背面研磨(109)該半導體頂蓋晶圓之步驟之前執行。
20. 如申請專利範圍第 9 項所述之方法，其中移除該半導體晶粒晶圓(1)的該犧牲層之步驟係在單體化(112)該 MEMS 傳感器晶圓之步驟之後且在自該 MEMS 傳感器晶圓提取傳感器(113)之步驟之前執行。
21. 如申請專利範圍第 6 項所述之方法，其中形成該密封結構及形成該凸塊結構之步驟包含：蝕刻一密封結構佈局(115)蝕刻一凸塊結構佈局(116)；沈積一晶種層(117)；施加一焊料遮罩(118)；施加鍍敷(119)；施加焊料(120)；及移除該焊料遮罩及該晶種層(121)。
22. 如申請專利範圍第 21 項所述之方法，其中該密封結構佈局圍封一傳感器元件及該聲學晶粒通道(5)之一入口。
23. 如申請專利範圍第 21 項所述之方法，其中該密封結構佈局圍封一傳感器元件且隔離該聲學晶粒通道(5)之一入口。
24. 如申請專利範圍第 21 項所述之方法，其中蝕刻(115)該密封結構佈局提供在結構上圍封之保護層材料的一凸塊(44)。
25. 如申請專利範圍第 1 項所述之方法，其中提供(101)該前側預製半導體晶粒晶圓之步驟包含：提供(122)一半導體晶粒晶圓(1)；將一膜(50)及第一電極(51)沈積(123、124)至該半導體晶粒晶圓(1)之一前側(3)；將一背板(52)及第二電極(53)沈積(125、126)至該半導體晶粒晶圓(1)之該前側(3)；及在該背板(52)中形成(127)聲學孔(54)。
26. 如申請專利範圍第 7 項所述之方法，其中晶圓結合(108)之該步驟包含：將黏著劑施加至該半導體晶粒晶圓(1)及/或該前側預製半導體頂蓋晶圓(16)。
27. 如申請專利範圍第 7 項所述之方法，其中晶圓結合(108)之該步驟包含：對準該半導體晶粒晶圓(1)與該前側預製半導體頂蓋晶圓(16)使得：該聲學晶粒通道(5)及一聲學頂蓋通道

(4)

(19)在聲學上連接；且該晶粒背面體積(6)及一頂蓋背面體積(24)在聲學上連接；且結合該半導體晶粒晶圓(1)與該前側預製半導體頂蓋晶圓(16)。

圖式簡單說明

為了更好地理解本發明，且為了顯示本發明之實施方式，現將藉由實例參看附圖，其中：圖 1 說明製備半導體晶粒晶圓之方法的程序流程；圖 2 顯示為藉由圖 1 之程序獲得的半導體晶粒晶圓之部分的半導體晶粒之實例的截面；圖 3 說明圖 1 之半導體晶粒晶圓之額外處理的方法；圖 4 說明圖 3 之半導體晶粒晶圓之額外處理的方法；圖 5A 及圖 5B 說明製造 MEMS 傳感器封裝之方法的兩個實施例；圖 6 顯示根據圖 4 之程序的中間結果；圖 7 顯示根據圖 4 之程序的連續結果；圖 8 顯示根據圖 4 之程序的連續結果；圖 9 顯示根據圖 4 之程序的連續結果；圖 10 顯示根據圖 4 之程序的連續結果；圖 11 顯示根據圖 4 之程序的連續結果；圖 12 顯示根據圖 4 之程序的連續結果；圖 13 顯示根據圖 4 之程序的連續結果；圖 14 顯示製備前側預製頂蓋晶圓之程序的中間結果之截面中的頂蓋；圖 15 顯示處理圖 14 之頂蓋晶圓的連續結果；圖 16 顯示處理圖 15 之頂蓋晶圓的連續結果；圖 17 顯示處理圖 16 之頂蓋晶圓的連續結果；圖 18 顯示處理圖 17 之頂蓋晶圓的連續結果；圖 19 顯示處理圖 14 之頂蓋晶圓的另一結果；圖 20 顯示處理圖 14 之頂蓋晶圓的另一結果；圖 21 顯示處理圖 14 之頂蓋晶圓的另一結果；圖 22 顯示處理圖 14 之頂蓋晶圓的另一結果；圖 23 說明進一步處理圖 2 之半導體晶粒晶圓的方法；圖 24 顯示圖 23 之程序的中間結果；圖 25 顯示圖 23 之程序的連續結果；圖 26 顯示圖 23 之程序的連續結果；圖 27 顯示圖 23 之程序的連續結果；圖 28 顯示圖 23 之程序的連續結果；圖 29 顯示圖 23 之程序的連續結果；圖 30 顯示在晶圓結合之前的圖 18 之頂蓋晶圓；圖 31 顯示圖 5B 之程序的中間結果之截面；圖 32 顯示圖 5A 之程序的中間結果之截面；圖 33 顯示圖 5A 之程序的連續結果；圖 34 顯示圖 5A 之程序的連續結果；圖 35 顯示基板上的在頂部埠組態下之 MEMS 傳感器；圖 36 顯示基板上的在底部埠組態下之 MEMS 傳感器；圖 37A 顯示圖 35 之 MEMS 傳感器的仰視透視圖；圖 37B 顯示圖 35 之 MEMS 傳感器的俯視透視圖；圖 37C 顯示圖 35 之 MEMS 傳感器的截面；圖 38A 顯示圖 36 之 MEMS 傳感器的仰視透視圖；圖 38B 顯示圖 36 之 MEMS 傳感器的俯視透視圖；圖 38C 顯示圖 36 之 MEMS 傳感器的截面；圖 39 顯示晶粒晶圓及其放大部分之俯視圖；及圖 40 顯示指示各種聲學選項之晶粒晶圓及頂蓋晶圓的截面。

(5)

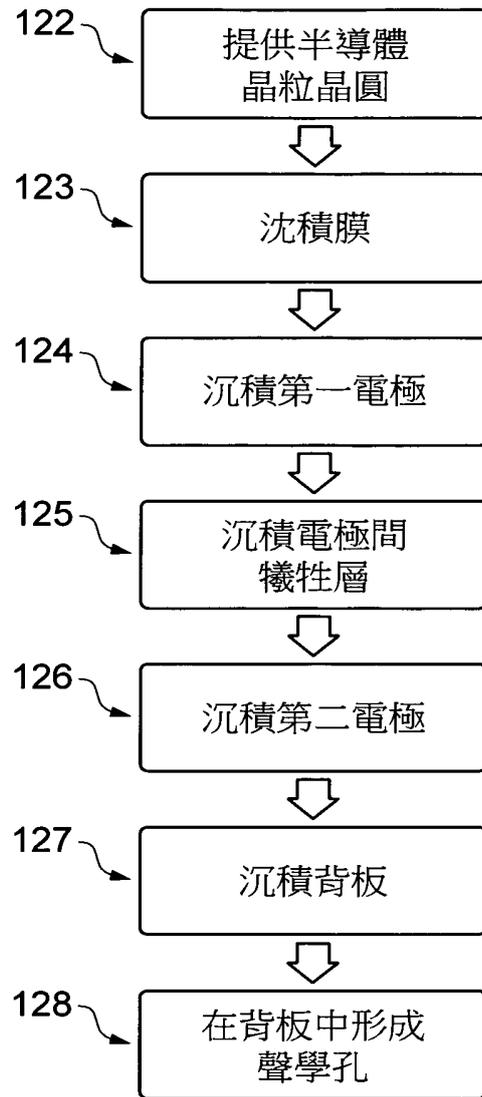


圖1

(6)

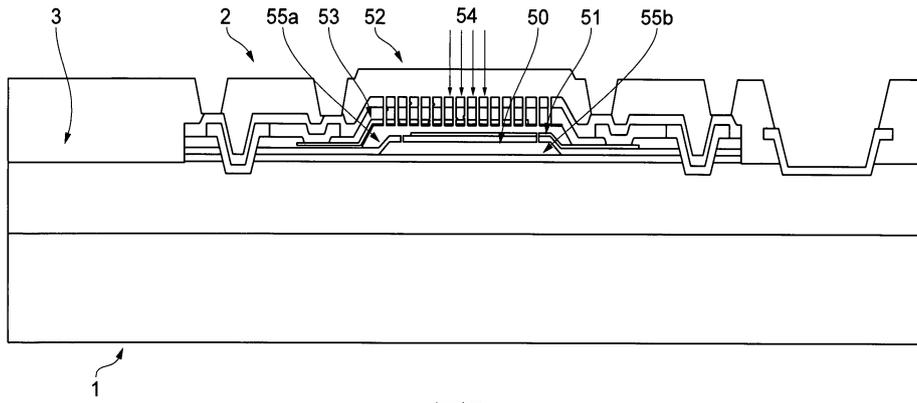


圖2

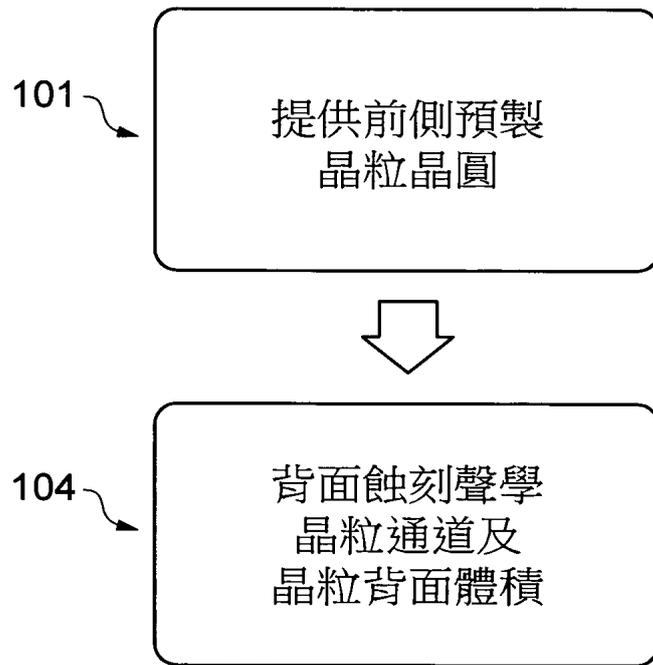


圖3

(7)

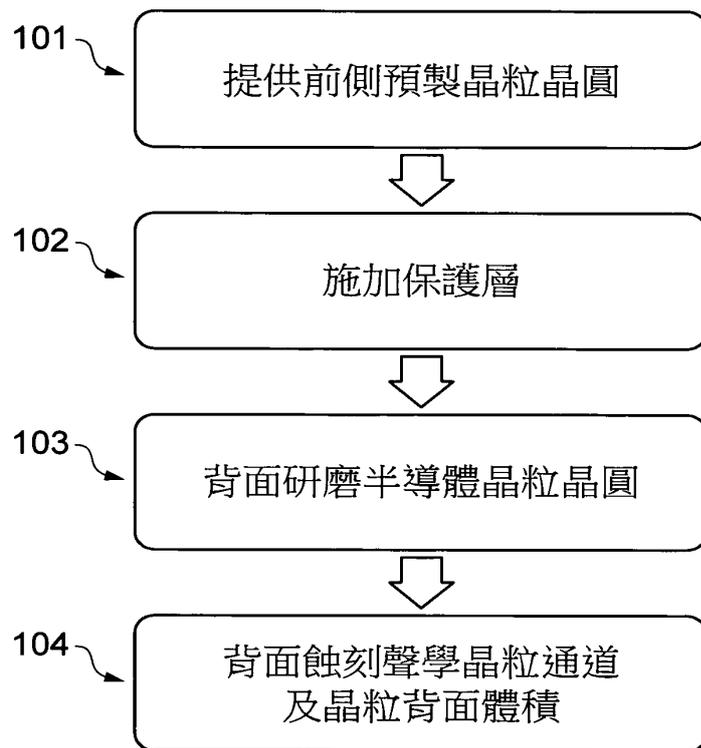


圖4

(8)

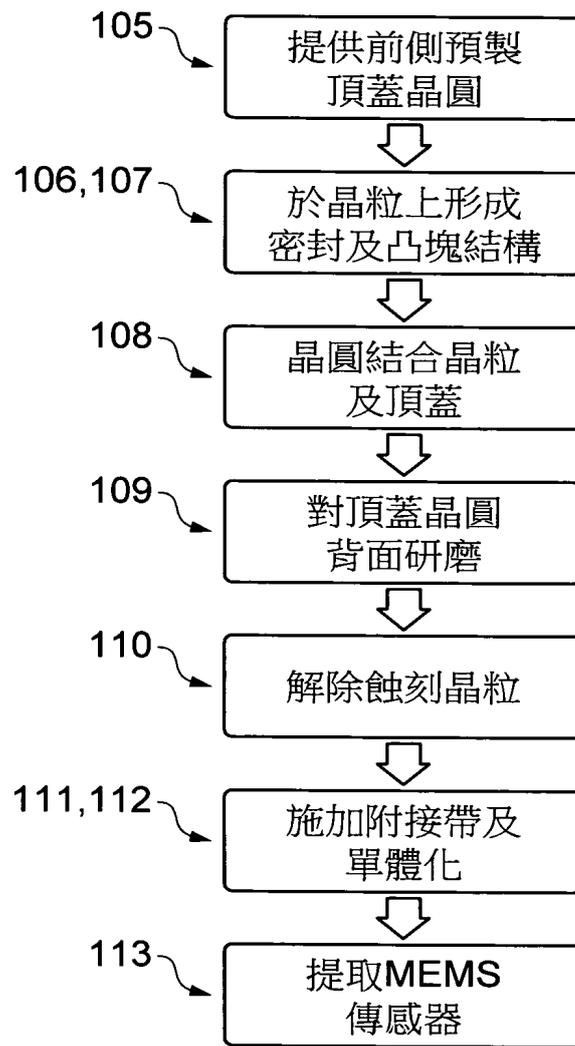


圖5A

(9)

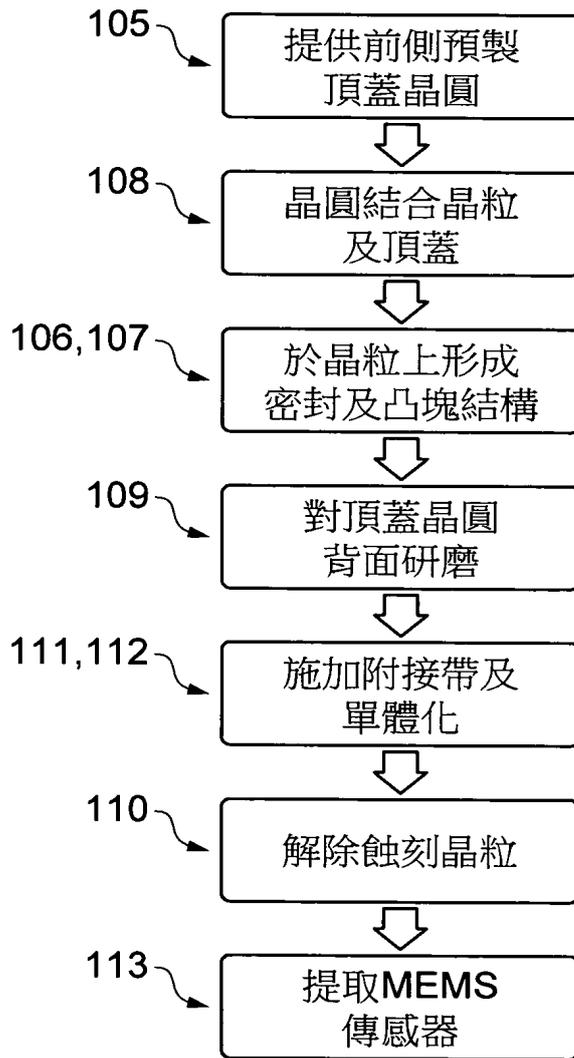


圖5B

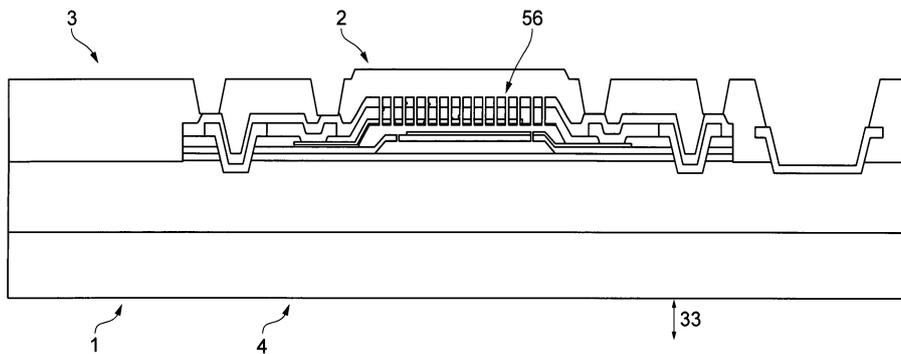


圖6

(10)

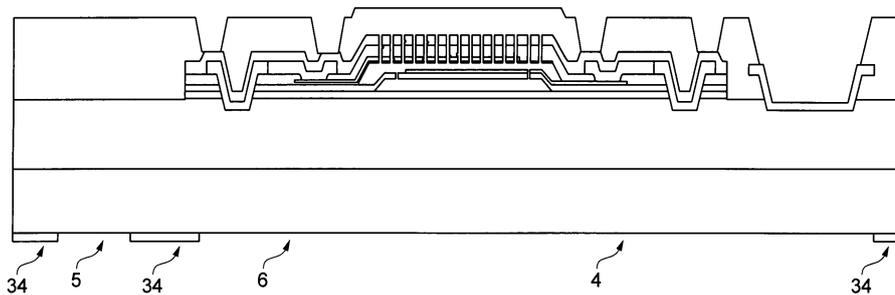


圖7

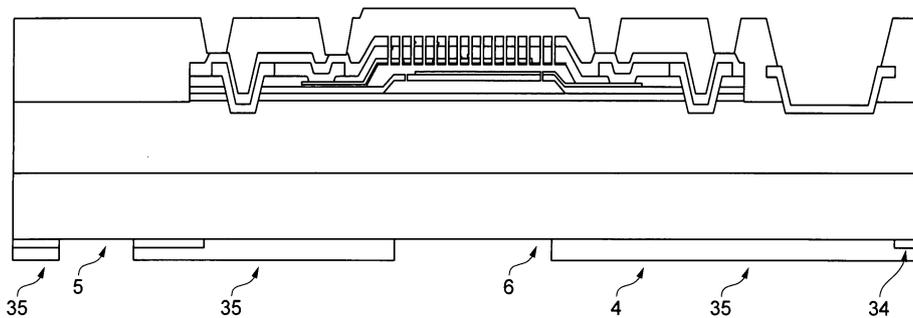


圖8

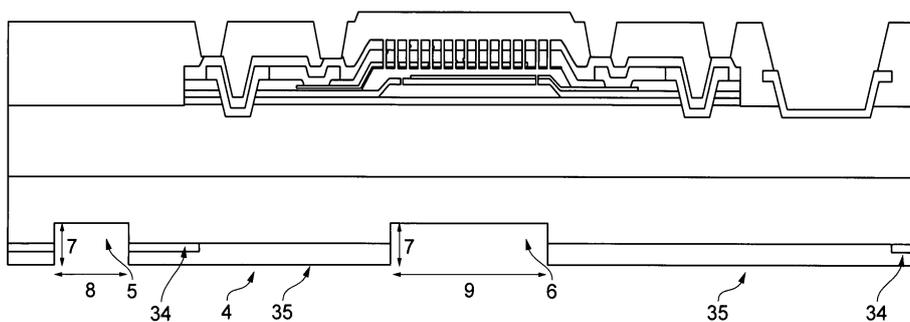


圖9

(11)

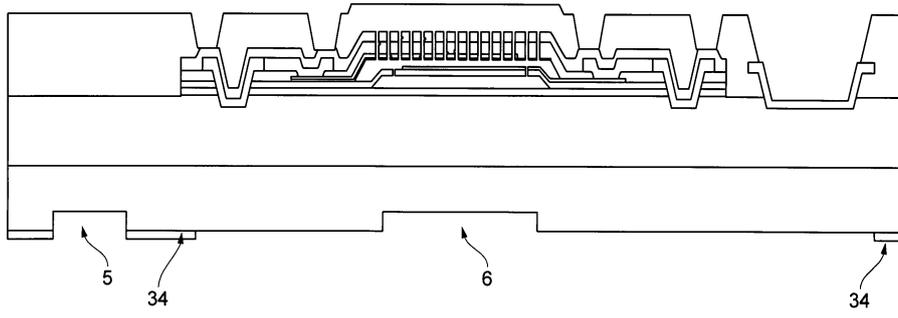


圖10

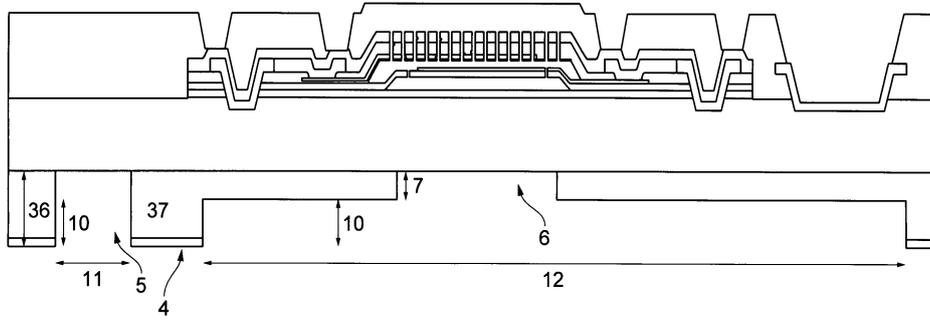


圖11

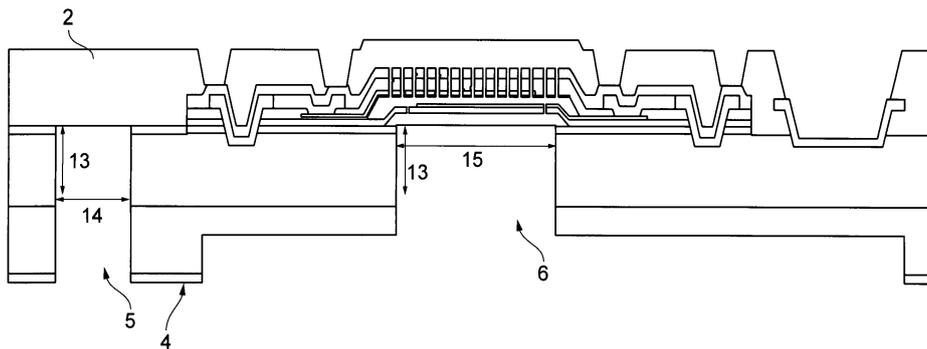


圖12

(12)

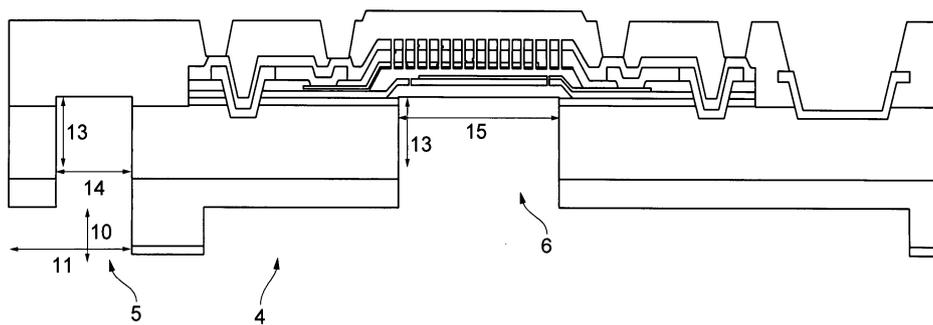


圖13

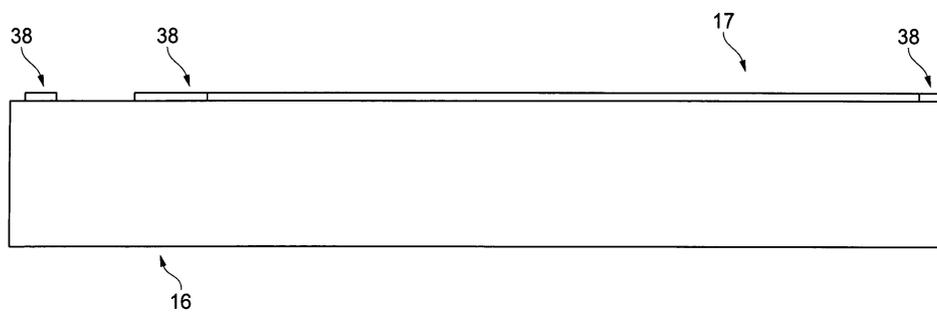


圖14

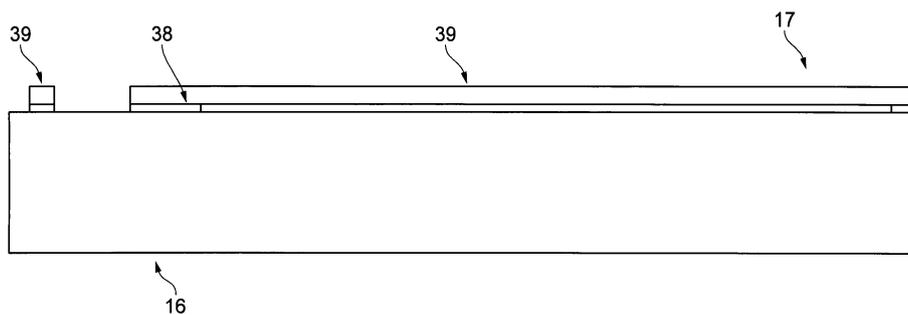


圖15

(13)

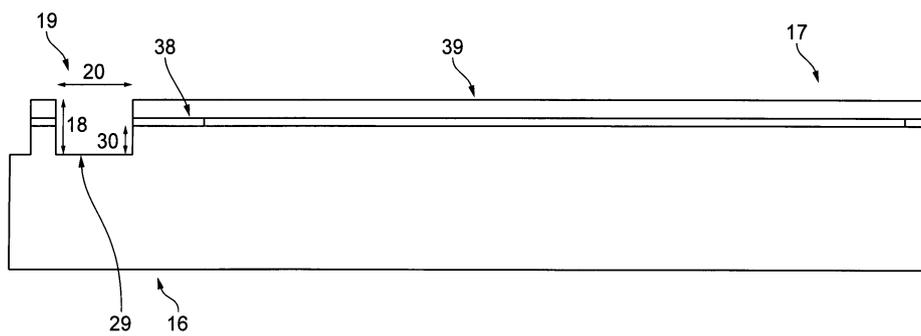


圖16

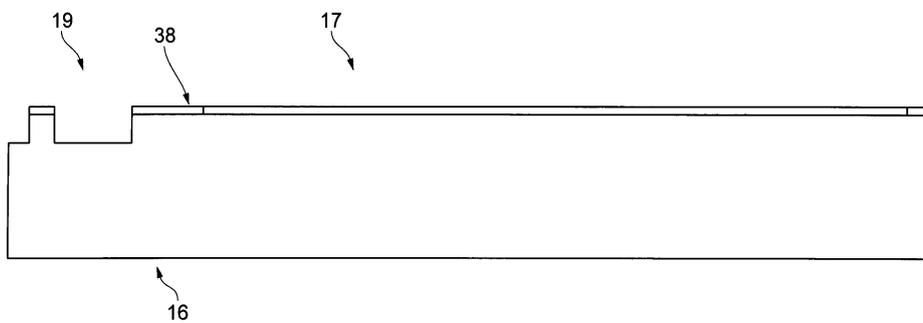


圖17

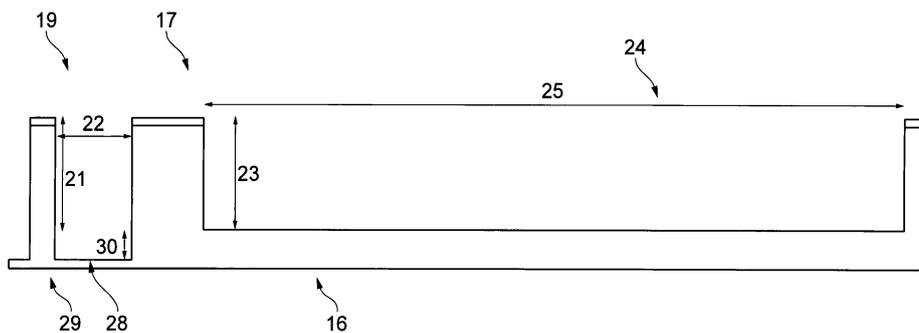


圖18

(14)

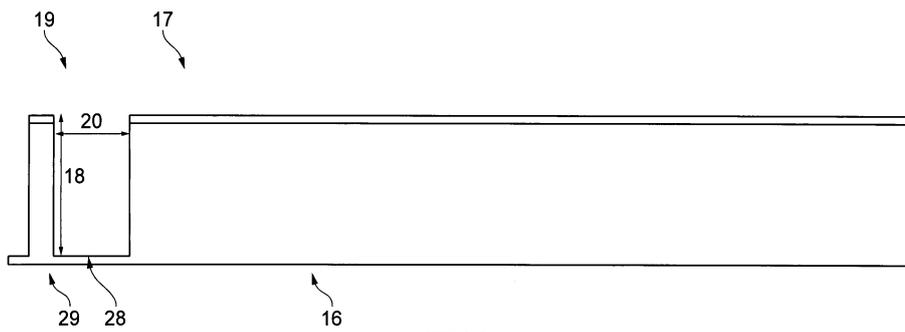


圖19

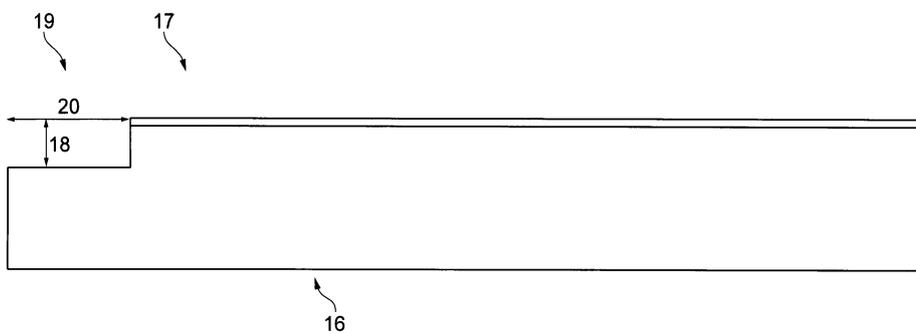


圖20

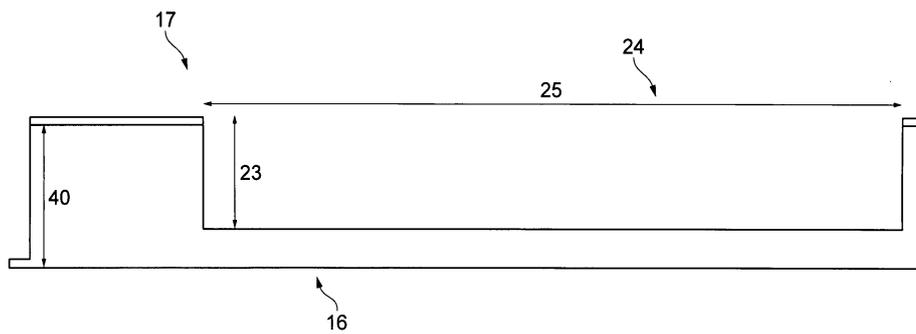


圖21

(15)

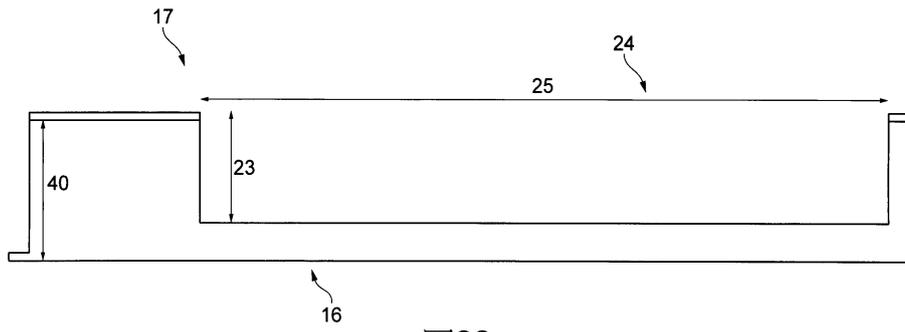


圖22

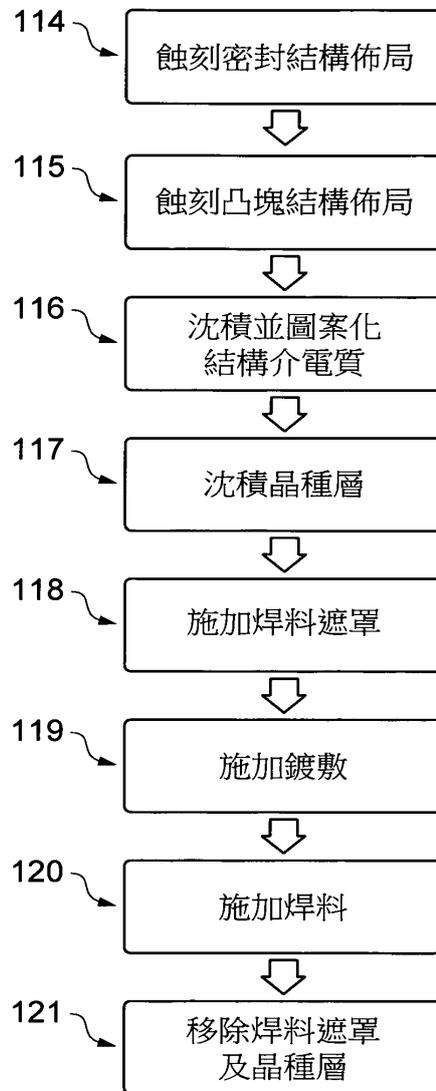


圖23

(16)

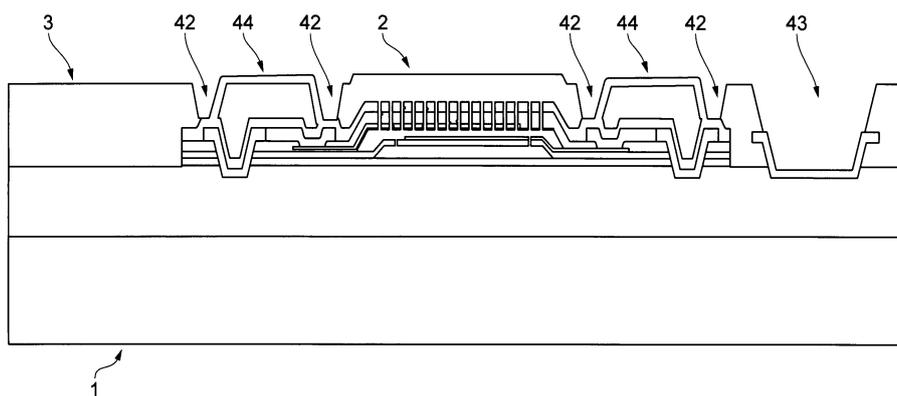


圖24

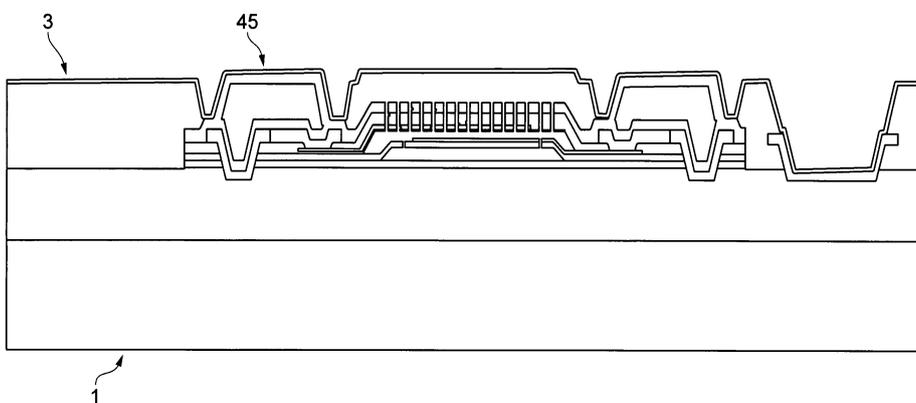


圖25

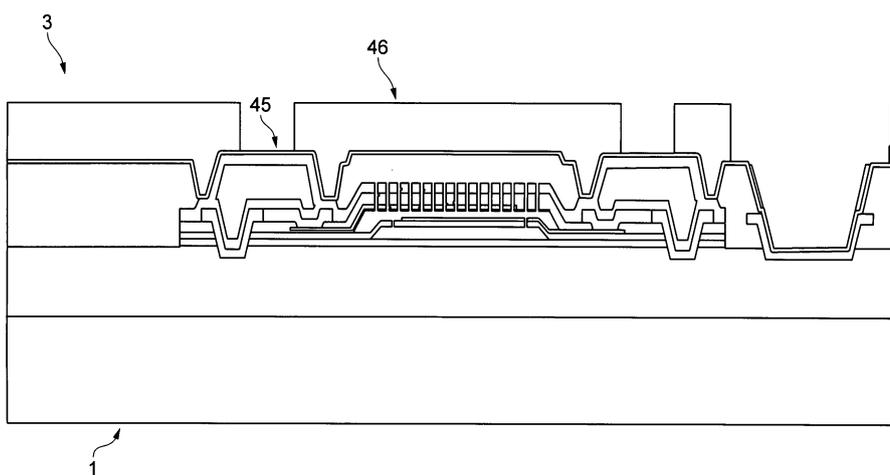


圖26

(17)

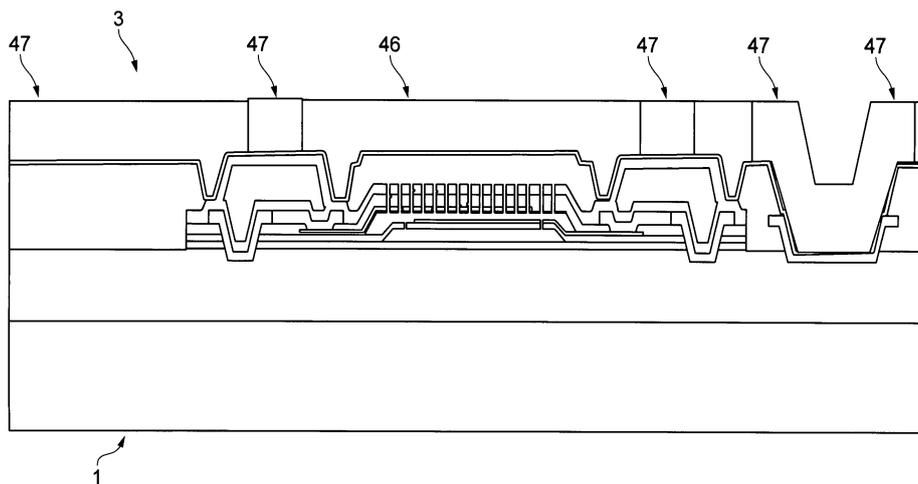


圖27

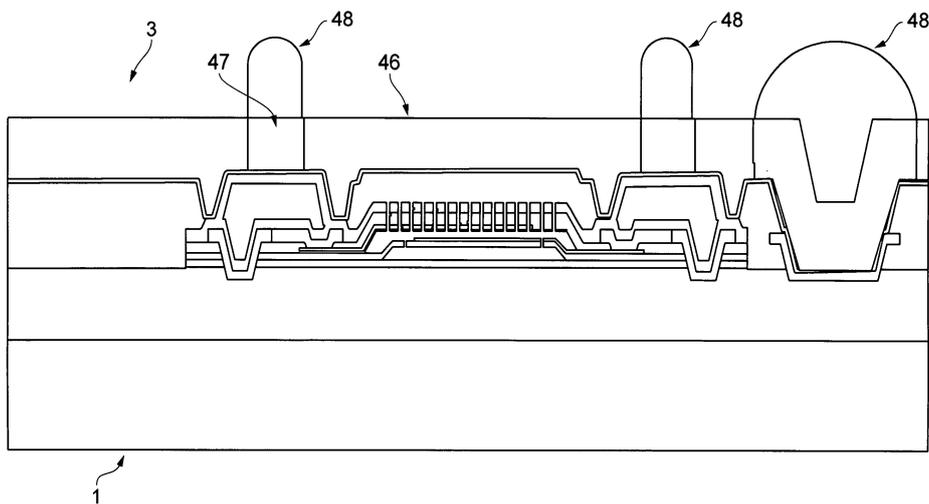


圖28

(18)

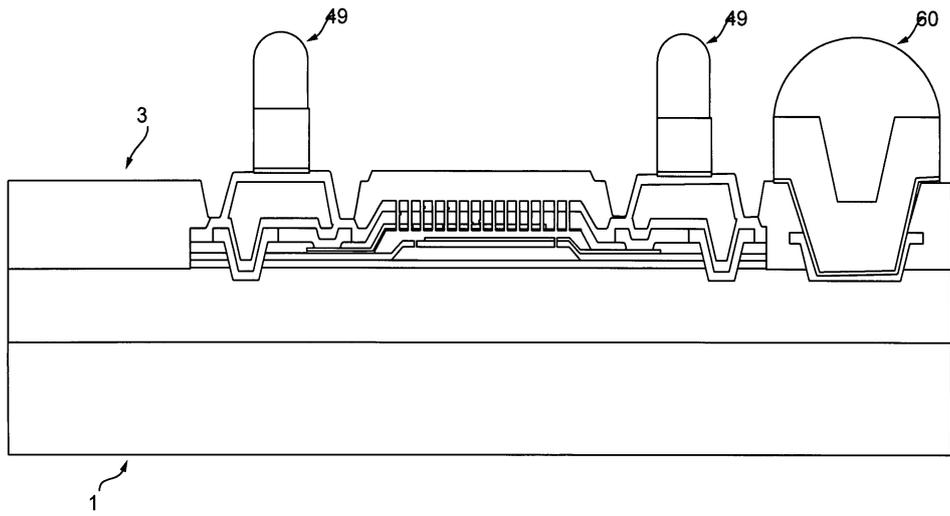


圖29

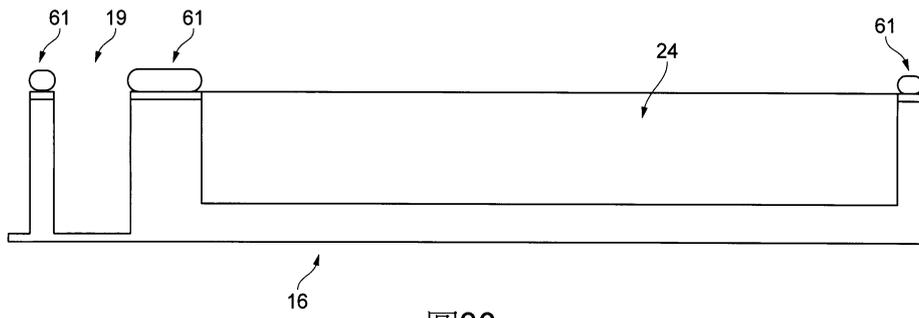


圖30

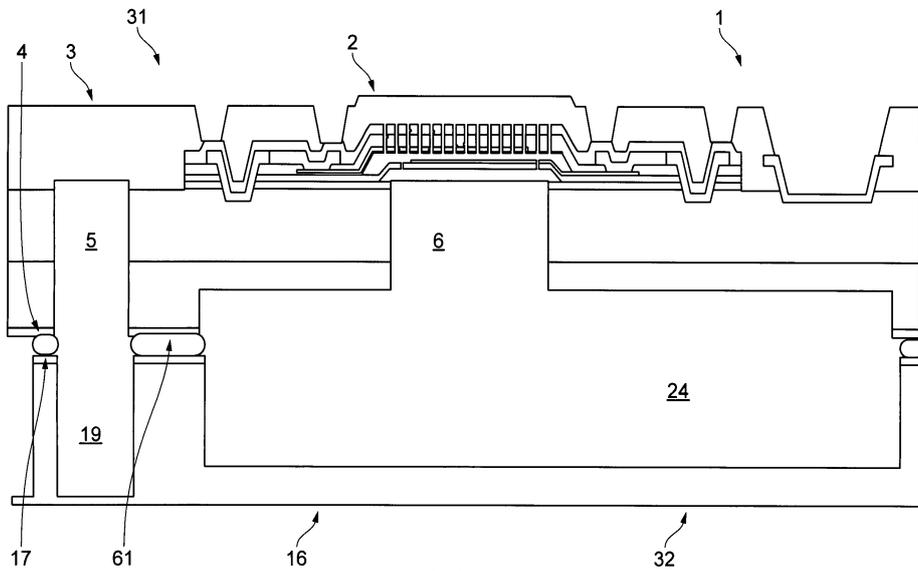


圖31

(19)

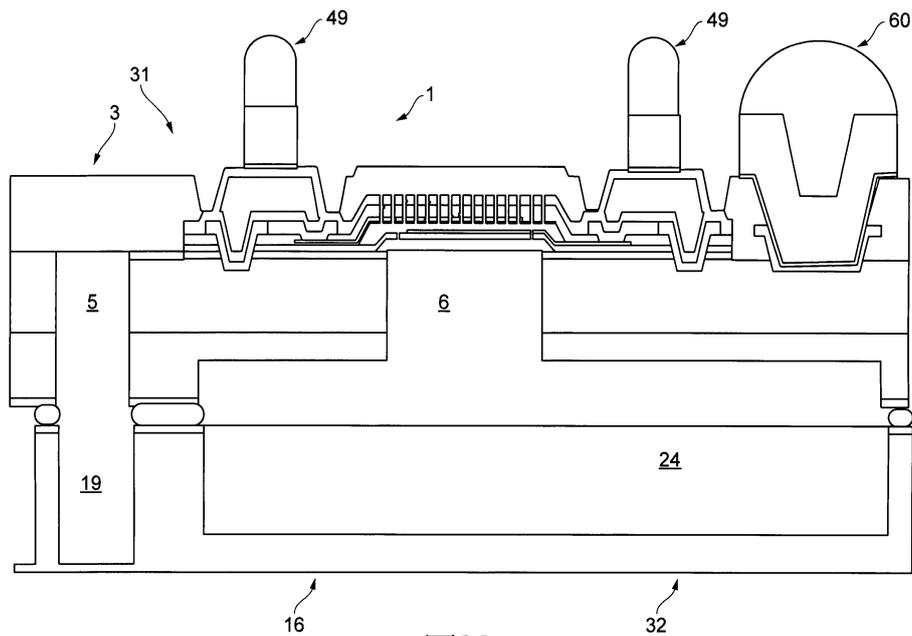


圖32

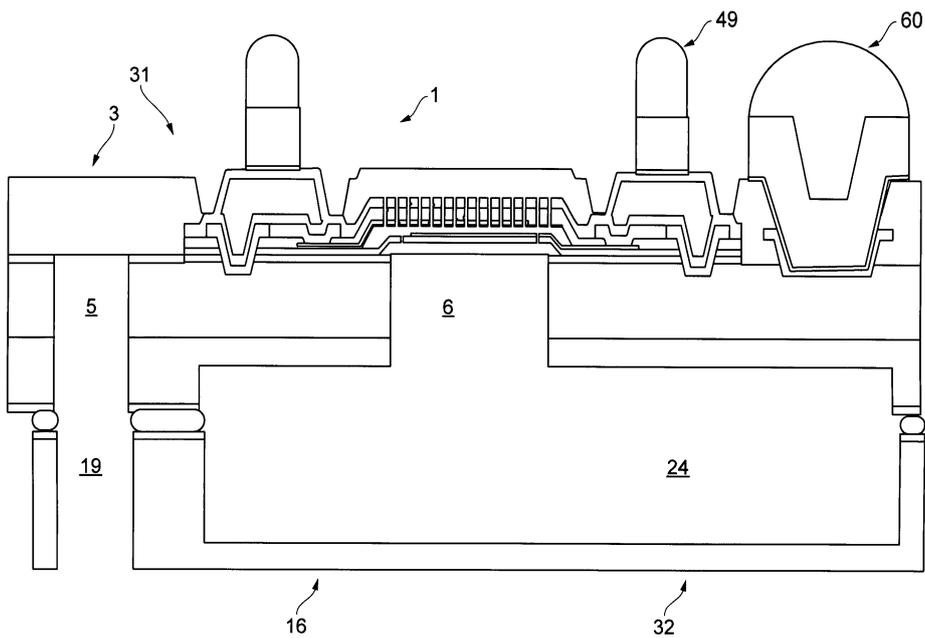


圖33

(20)

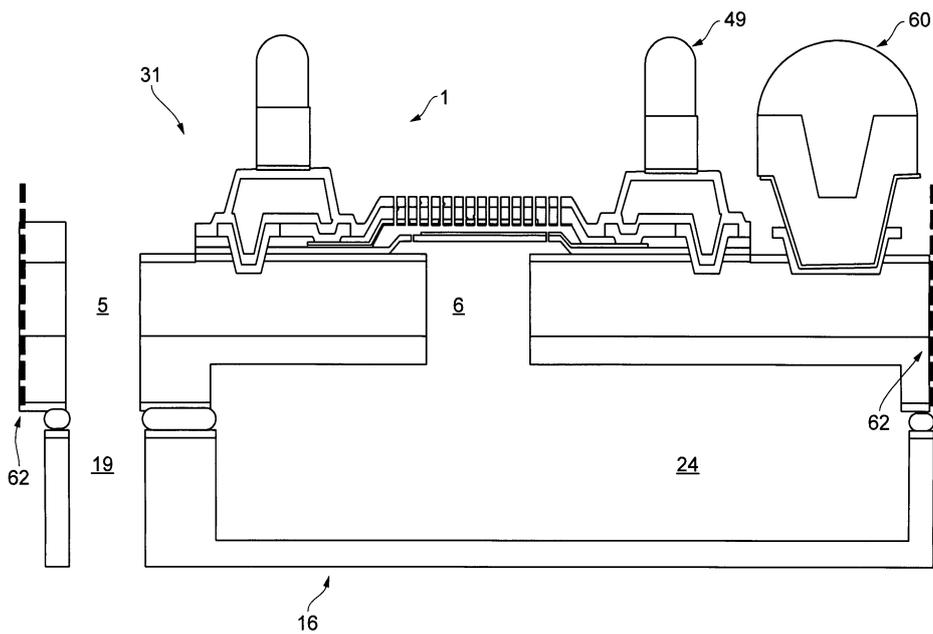


圖34

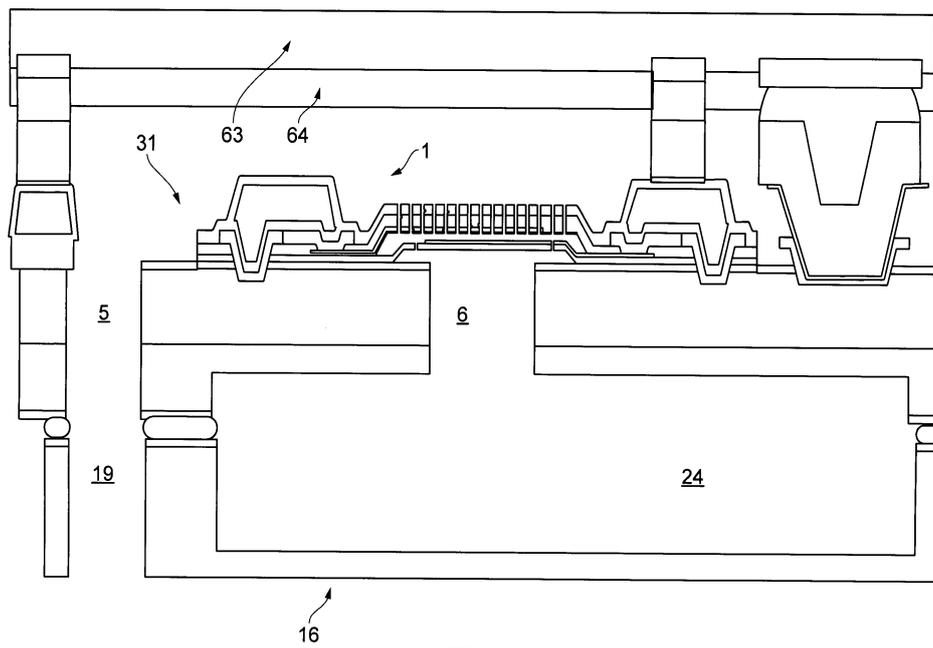


圖35

(21)

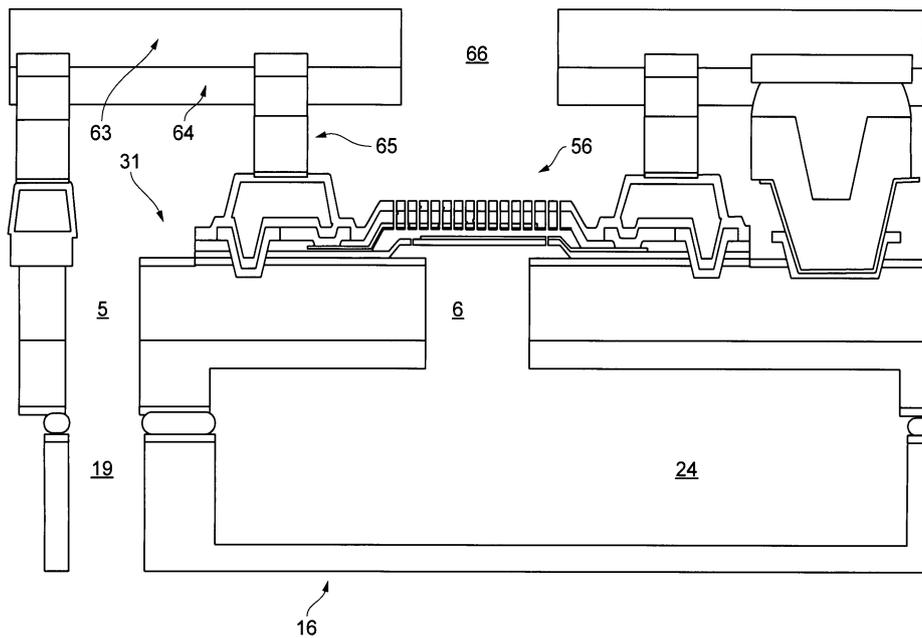


圖36

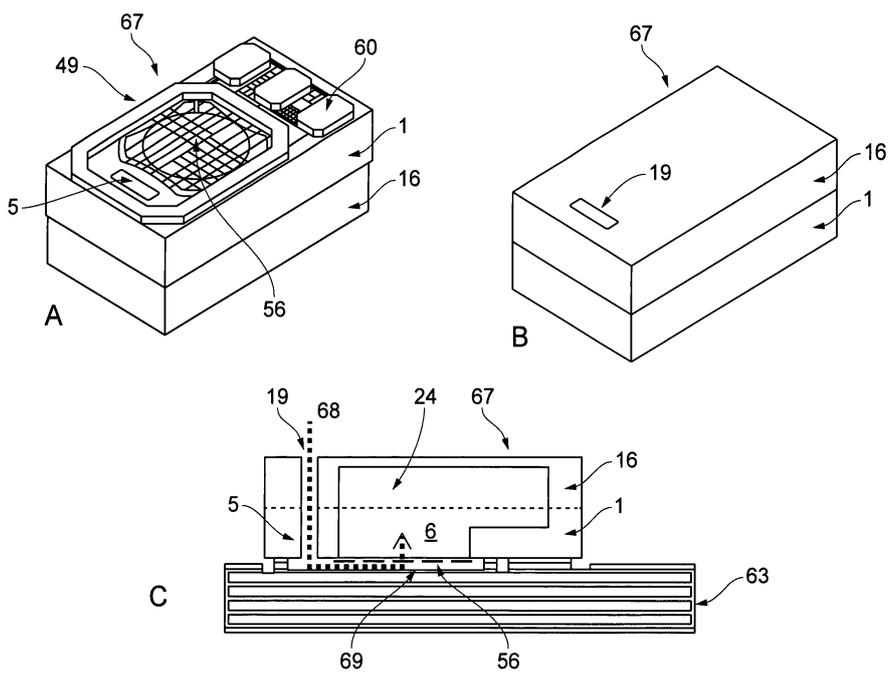


圖37

(22)

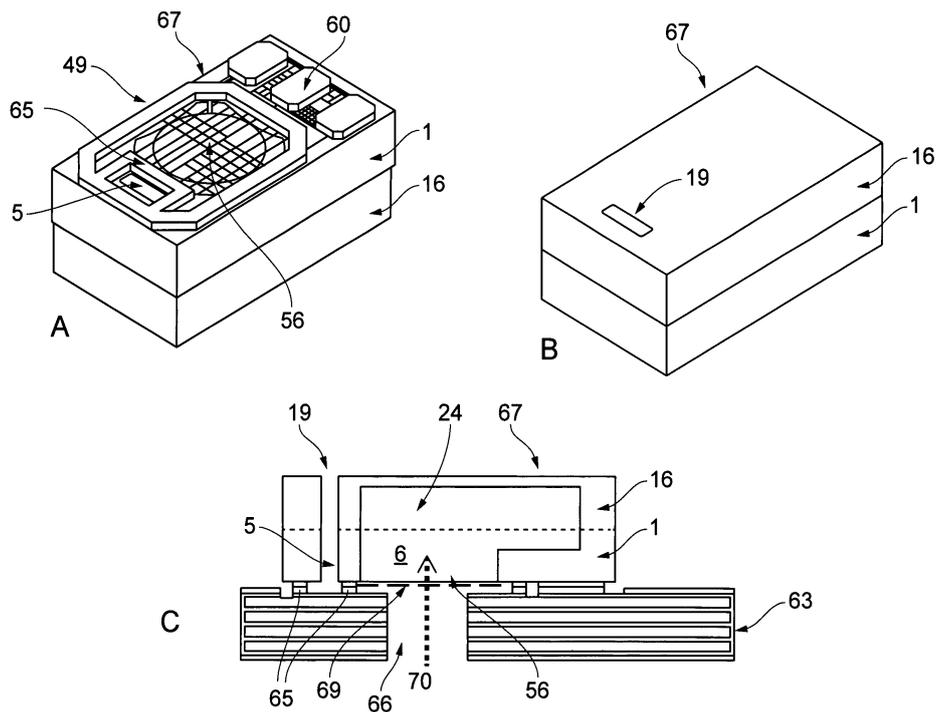


圖38

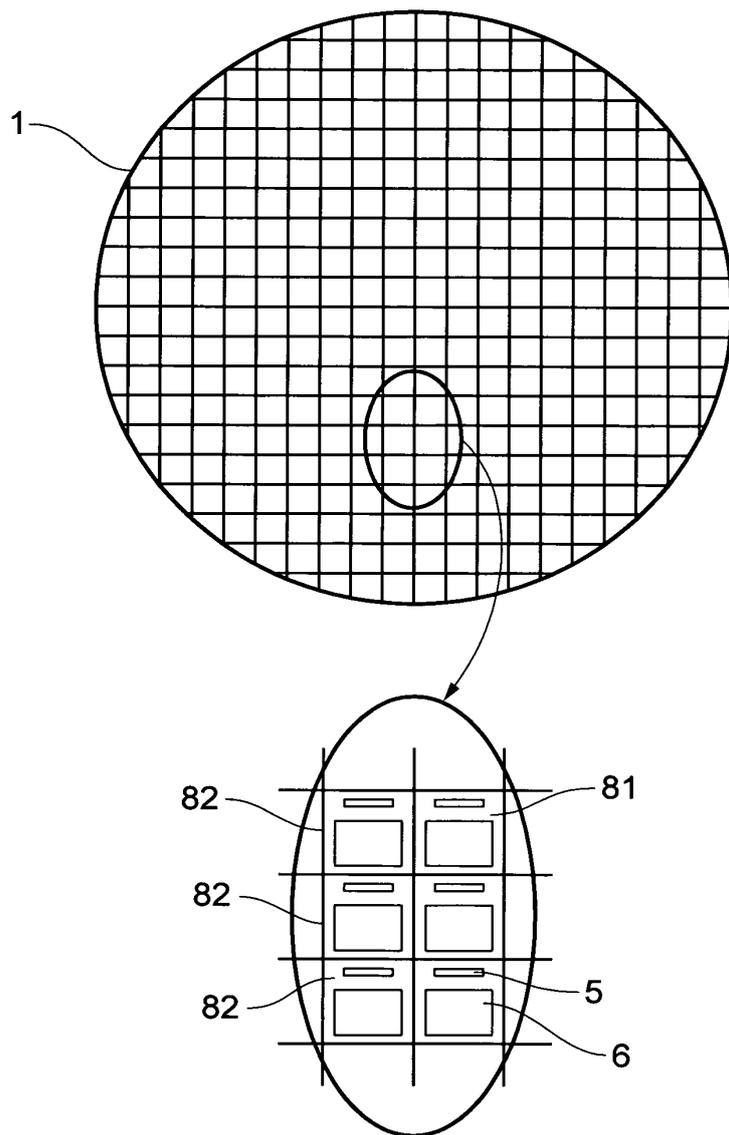


圖39

(24)

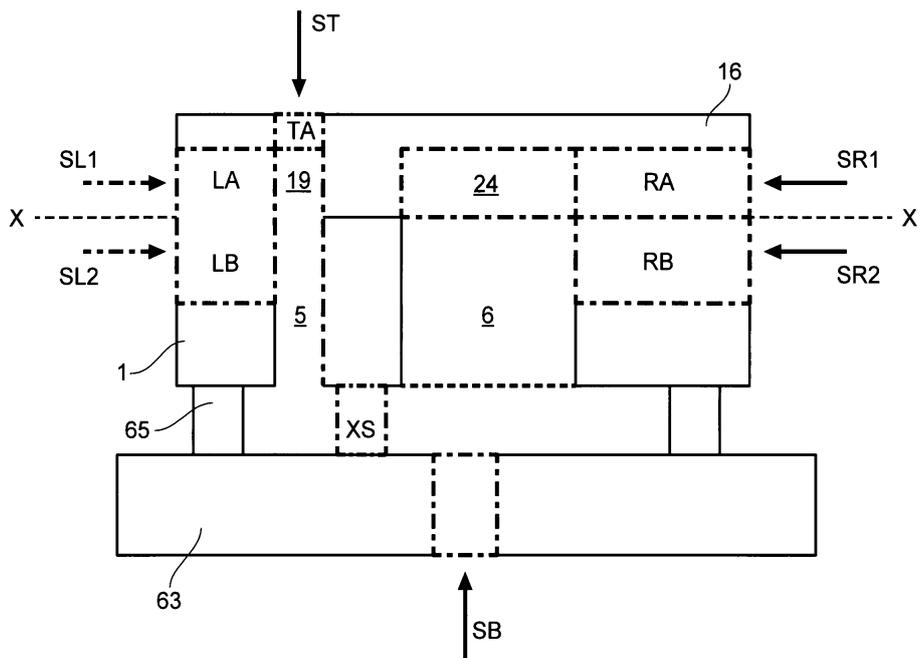


圖40